

**UNIVERSIDAD RICARDO PALMA**

FACULTAD DE INGENIERÍA

Escuela Académico Profesional de Ingeniería Electrónica

**CIRCUITOS EMBEBIDOS APLICADOS A  
EQUIPOS MÉDICOS**



**PROYECTO DE TESIS**

**PARA OPTAR EL TÍTULO PROFESIONAL DE INGENIERO  
ELECTRÓNICO**

**PRESENTADO POR:**

**David Yusseff Gómez Cornejo Campana**

**Lima – Perú**

**2011**

*A Dios, quien me condujo a lo largo de la vida, a mis Amados padres Rosa y Luis, los cuales con su amor y paciencia me dieron aliento para continuar en el camino.*

*A la memoria de mí querido tío Rolando Campana Guzmán, el amoroso hermano siempre pendiente de sus hermanas y sobrinos, A la memoria de mi querido amigo Miguel Ángel Loyola Chumbiauca, quien siempre regalaba una sonrisa ante las vicisitudes de la vida.*

## AGRADECIMIENTOS

La elaboración de la presente Tesis, no hubiese sido posible sin la participación de varias personas, que brindaron su ayuda ya sea en forma intelectual, como en su participación en obtener los componentes necesarios, para la implementación de la investigación; por su participación les estoy muy agradecido.

A mi asesor de tesis, Ing. Julio Gonzalez Prado, por su ayuda, y participación desmesurada en la elaboración de la tesis, y por sus comentarios certeros para el mejoramiento de este.

A mi docente, Ing. Gustavo Roselló Moreno, el cual me brindo su ayuda desinteresada, consejos y observaciones, en la lógica de los diseños realizado, gracias a él desperté el interés del desarrollo de circuitos y el descubrimiento de este gran mundo de diseños con circuitos de lógica programable.

A mi docente, Pedro Huamani Navarrete, por su participación, e interés en solventar las dudas que originaron el presente trabajo.

Gracias a mis amigos y familiares, Jenice Dolmos, Ludming Zapata, Ivan Cavenago, Ernesto Campos, Liliana Coronado, Renato Campana, Franz Soto, Danny Soto, Marco Luna, los cuales dieron un gran aporte para la iniciación y culminación de esta investigación, ya que sin su aporte este trabajo no hubiese pasado de teorías y del marco de la simulación, a su vez me brindaron el apoyo necesario para continuar con dicha investigación.

## Abstract:

This thesis describes the design guidelines from two medical teams, electrocardiogram and pulse oximetry using embedded logic circuitry such as FPGA and microcontrollers, digital filters used to filter the signals obtained from analog converters to digital, graphic obtaining the data is displayed in a graphic display GLCD, and has an interface to send data to a PC through a port USB 2 at full speed.

The digital filters used are FIR filters, these filters are chosen to be linear and time invariant, developed with 40 coefficients FIR filters, these filters were implemented in the FPGA, use a FPGA that has implemented only 20 multipliers For the implementation we used the VHDL language and algorithmic state machines in order to control the 20 boxes and get the 40 products.

Filtered data in the stage of the FPGA, are taken to a microcontroller that is responsible for managing the data, can lead to a graphic display GLCD, and so we can see the signal and obtained values or you can send the data to a PC right through USB port and software right through it can see the graphics on the PC.

### **Palabras Clave:**

Las palabras claves para esta investigación son

**Microprocesador, PLD, RS232, CPLD, FPGA, Eeprom, Electrocardiograma, CMRR, Efecto Gibbs, Memorias Ram, Antialiasing, Complemento a 2, BCD, MEA, VHDL, LATENCIA, HID, DLL.**

# TABLA DE CONTENIDOS

<b>INTRODUCCIÓN .....</b>	<b>11</b>
<b>CAPITULO I PROBLEMÁTICA DEL SECTOR SALUD .....</b>	<b>12</b>
1.1.    PLANTEAMIENTO DEL PROBLEMA .....	12
1.2.    OBJETIVOS Y ALCANCES DE LA INVESTIGACIÓN .....	13
1.2.1. <i>Objetivo General:</i> .....	13
1.2.2. <i>Objetivo específico:</i> .....	13
1.3.    IMPORTANCIA Y JUSTIFICACIÓN DE LA INVESTIGACIÓN .....	14
<b>CAPITULO II EQUIPOS MÉDICOS, CARACTERISTICAS Y PRINCIPIOS DE FUNCIONAMIENTO.....</b>	<b>15</b>
2.1.  EQUIPOS DE BIOQUÍMICA.....	15
2.1.1. <i>La espectrofotometría</i> .....	15
2.1.2. <i>Sistema óptico</i> .....	17
2.1.3. <i>Sistema Electrónico</i> .....	17
2.1.4. <i>La Lógica embebida</i> .....	20
2.2.  EQUIPOS DE HEMATOLOGÍA.....	24
2.2.1. <i>Principio de funcionamiento</i> .....	24
2.2.2. <i>Sistema Electrónico</i> .....	26
2.2.3. <i>Lógica embebida en Hematología</i> .....	27
<b>CAPITULO III DISEÑO DE ELECTROCARDÍOGRAFO Y PULSIOXÍMETRO .....</b>	<b>29</b>
3.1.  ELECTROCARDÍOGRAFOS.....	29
3.1.1. <i>Principio de funcionamiento</i> .....	30
3.2.  OXIMETRÍA DE PULSO .....	32
3.2.1. <i>Principio de funcionamiento</i> .....	33
3.3.  DISEÑO DE LA IMPLEMENTACIÓN.....	34
3.3.1. <i>Filtraje Digital</i> .....	34
3.3.2. <i>Cálculos para el diseño</i> .....	36
3.3.3. <i>Componentes a utilizar</i> .....	38
3.4.  LÓGICA DE DISEÑO.....	40
3.4.1. <i>Lógica de control ADCS7476 y PmodAD1</i> .....	40
3.4.2. <i>Lógica de control DAC121S101 y PmodDA2</i> .....	42
3.4.3. <i>Representación de números negativos</i> .....	44
3.4.4. <i>Estructura de los Filtros FIR</i> .....	45
3.4.5. <i>Estructura del Diseño y hardware a utilizar</i> .....	47
	5

3.4.6. Lógica de Diseño del EKG .....	50
3.4.7. Lógica de diseño del Pulsioxímetro .....	54
3.5. VARIACIONES EN EL DISEÑO .....	55
<b>CAPITULO IV HARDWARE E INTERFACE .....</b>	<b>57</b>
4.1. INTERFACE EN HARDWARE Y SOFTWARE .....	57
4.1.1. Conector Hirose 100 .....	58
4.1.2. Microcontrolador PIC 18F4550 .....	58
4.1.3. Pantalla Gráfica NHD-240128WG-BTMI-VZ.....	59
4.2.1. USB NEXYS 2.....	60
<b>CAPITULO V EQUIPOS EN EL MERCADO Y GASTOS DE IMPLEMENTACIÓN .....</b>	<b>62</b>
5.1. EQUIPOS MEDICOS EN EL MERCADO .....	62
5.2. GASTOS DE LA IMPLEMENTACIÓN .....	64
<b>CONCLUSIONES Y/O RECOMENDACIONES .....</b>	<b>68</b>
<b>BIBLIOGRAFIA .....</b>	<b>69</b>
<b>GLOSARIO DE TÉRMINOS .....</b>	<b>70</b>
<b>ANEXOS .....</b>	<b>75</b>
A1: COEFICIENTES DEL FILTRO .....	75
A2: COEFICIENTES DE FILTRO EN REPRESENTACION HEXADECIMAL .....	76
B1: DESCRIPCION VHDL DEL ADCS7476.....	77
B2: DESCRIPCIÓN VHDL PARA DAC121S101 .....	78
C1: DESCRIPCION VHDL DEL PMODAD1, CON COMPLEMENTO A 2 .....	80
C2: DESCRIPCION VHDL DEL PMODDA2, CON COMPLEMENTO A 2 .....	82
D1: DIAGRAMA DE BLOQUES DE FILTRO FIR .....	84
D2: DISTRIBUCION DE DCM EN FPGA .....	85
D3: LIBRERIA PARA EL USO DE MULTIPLICADORES INTERNOS DEL FPGA .....	86
D4: DESCRIPCION VHDL PARA EL USO DE MEMORIAS.....	87
D5: DIAGRAMA DE BLOQUES DEL FILTRO .....	89
D6: DIAGRAMA DE ESTADOS DEL FILTRO .....	90
D7: DIAGRAMA DE BLOQUES DEL FILTRO DE 2 CANALES.....	91
D8: DIAGRAMA DE TIEMPOS DE FILTRO DE 2 CANALES.....	92
D9: DESCRIPCION VHDL PARA EL ADCS7476_R_IR PARA LA ADQUISICION DE SEÑALES ROJAS E INFRAROJAS .....	93
D10: DIAGRAMA DE TIEMPOS DEL OXIMETRO DE PULSO .....	95
E1: TARJETA INTEFACE NEXYS – PIC .....	96
E2: MICROCONTROLADOR CON INTERFACE USB Y TARJETA GRAFICA LCD.....	97
E3: SOFTWARE USB NEXYS 2 MOSTRANDO SIN CONEXION AL PIC.....	98

E4: SOFTWARE USB NEXYS 2 MOSTRANDO CON CONEXION AL PIC Y TRANSFIRIENDO DATOS .....	99
F1: EQUIPO ELECTROCARDIOGRAFO AR 1200 VIEW .....	100
F2: EQUIPO OXIMETRO DE PULSO NONIN 9600.....	101
F3: DISEÑO DE EKG POR TEXAS INSTRUMENTS. ....	102

# LISTA DE FIGURAS

FIGURA 1: EQUIPAMIENTO EN HOSPITALES .....	12
FIGURA 2.1A: PRINCIPIO DE LAMBERT .....	15
FIGURA 2.1B: PRINCIPIO DE BEER.....	16
FIGURA 2.2: ESPECTRO FOTOMETRICO .....	18
FIGURA 2.3: PRINCIPIO ÓPTICO DE ESPECTROFOTOMETRÍA .....	19
FIGURA 2.4: MONOCROMADOR.....	20
FIGURA 2.5: EQUIPO SEMIAUTOMATIZADO METROLAB 1600DR .....	21
FIGURA 2.6: EQUIPO AUTOMATIZADO KONELAB PRIME .....	21
FIGURA 2.7: CIRCUITO EQUIPO METROLAB 1600.....	22
FIGURA 2.8: CIRCUITO CON FPGA Y ETAPA DE POTENCIA.....	23
FIGURA 2.9: AMPLIFICACIÓN, AD Y FPGA CONTROLADORA .....	24
FIGURA 2.10: CÉLULAS A TRAVÉS DE ELECTRODOS. ....	25
FIGURA 2.11: DIAGRAMA DE FUNCIONAMIENTO .....	26
FIGURA 2.12: EQUIPO HEMATOLÓGICO.....	27
FIGURA 2.13: CPU EQUIPO HEMATOLÓGICO .....	28
FIGURA 3.1: ELECTROCARDIOGRAMA .....	29
FIGURA 3.2 : AMPLIFICADOR DE BIOINSTRUMENTACION.....	31
FIGURA 3.2: INA 114 APLICADO A ADQUISICIÓN DE EKG .....	31
FIGURA 3.3: CURVA DE DISOCIACIÓN DE LA HEMOGLOBINA Y FACTORES QUE LA ALTERAN .....	32
FIGURA 3.4: TRANSDUCTOR .....	33
FIGURA 3.5: FOTOPLETISMÓGRAFO .....	34
FIGURA 3.6: HERRAMIENTA FDATAOL. ....	37
FIGURA 3.7: SELECCIÓN DE BIT DEL FILTRO Y REPRESENTACIÓN CON SIGNO .....	38
FIGURA 3.8: TARJETA FPGA NEXYS 2 .....	39
FIGURA 3.9A: PMODAD1.....	40
FIGURA 3.9B: PMODDA2.....	40
FIGURA 3.10A: ARQUITECTURA DEL PMOD AD1.....	41
FIGURA 3.10B DIAGRAMA DE TIEMPOS ADCS7476 .....	41
FIGURA 3.11A: ARQUITECTURA DEL PMODDA2 .....	42
FIGURA 3.11B: DIAGRAMAS DE TIEMPOS DAC121S101 .....	43
FIGURA 3.12: FILTRO FIR FORMA DIRECTA .....	46
FIGURA 3.13: FILTRO FIR FORMA TRANSPUESTA .....	46
FIGURA 3.14: ARQUITECTURA DE FILTRO FIR .....	47
FIGURA 3.15: ESTRUCTURA DEL FILTRO A IMPLEMENTAR .....	48

FIGURA 3.16: DCM Y FUNCIONES QUE PUEDE REALIZAR .....	49
FIGURA 3.17: FLUJOGRAMA UNIDAD DE CONTROL.....	50
FIGURA 3.18: UP CON 2 FILTROS Y 2 MEMORIAS ROM .....	52
FIGURA 3.19: DIAGRAMA DE FLUJO DE 2 EKG .....	53
FIGURA 3.20: DIAGRAMA DE CONTROL DEL FOTOPLETISMOGRAFO .....	54
FIGURA 4.1: CONECTOR HIROSE FX2-100S-1.27DS .....	58
FIGURA 4.2: DIAGRAMA DE RELOJ PIC18F4550 .....	59
FIGURA 4.3: CONEXIÓN DE LA PANTALLA GLCD A MICROPROCESADOR.....	60

# LISTA DE TABLAS

TABLA 3.1: BCD A COMPLEMENTO A 2 .....	44
TABLA 5.1: EKG VS AR 1200 VIEW .....	62
TABLA 5.2: OXIMETRO VS NONIN AVANT 9600.....	63
TABLA 5.3: TARJETA PRINCIPAL .....	65
TABLA 5.4: CONECTORES.....	66
TABLA 5.5: ELECTROCARDIOGRAMA .....	66
TABLA 5.6: OXIMETRO DE PULSO .....	67
TABLA 5.7: DISEÑO FINAL.....	67

# INTRODUCCIÓN

La Ingeniería Biomédica, es la aplicación de los principios de la ingeniería al campo de la medicina. Su función principal es el diseño y construcción de productos tecnológicos, para la industria sanitaria, tales como: equipos médicos, prótesis, dispositivos médicos, dispositivos de diagnóstico y de terapia. También interviene en la gestión o administración de los recursos técnicos ligados a un sistema de hospitales. Esta rama combina la experiencia de la ingeniería con necesidades médicas para obtener beneficios en el cuidado de la salud.

La electrónica, es la rama que ha dado aportaciones revolucionarias en el campo de la instrumentación biomédica. La instrumentación biomédica, está dirigido al estudio, detección y procesamiento de señales eléctricas producidas por el cuerpo humano, y en general al diseño de medición de parámetros fisiológicos de utilidad diagnóstica o para aplicación terapéutica.

# CAPITULO I

## PROBLEMÁTICA DEL SECTOR SALUD

### 1.1. Planteamiento del problema

En el desarrollo de la labor del profesional de la salud de hoy, cada vez más es necesario el uso de equipos biomédicos de pequeña, mediana y gran envergadura. La gran necesidad de equipos portátiles de monitoreo bioeléctrico, para solventar emergencias médicas; permitirá un rápido auxilio a la persona que así lo requiera. Equipos médicos de laboratorio como los mostrados en figura 1, permiten procesar una gran cantidad de muestras de sangre para análisis clínico; y así agilizar la gran demanda de pacientes que se presenta día a día.



Figura 1: Equipamiento en hospitales<sup>1</sup>

La principal problemática que enfrenta el sector salud en nuestro país, es la difícil adquisición de equipos médicos; debido a la dificultad de importación, debiendo tercerizar la implementación de los equipos en el laboratorio, a empresas que se dedican a adquirir estos equipos, dándolos a las instituciones públicas y privadas en calidad de

---

<sup>1</sup> <http://www.tvc.org/Site/Content/Photos/Laboratory.jpg>

comodato (préstamo), obligándolos a un consumo mensual determinado de productos para que así se puedan solventar los gastos originados por la exportación y compra del equipo; o las instituciones públicas están a la espera que alguna institución internacional decida donar equipos de pequeña envergadura, o equipos usados, a los que por lo general no se les da soporte y terminan olvidados en algún almacén.

## **1.2. Objetivos y alcances de la investigación**

### **1.2.1. Objetivo General:**

- Establecer las pautas para el diseño de equipos médicos, con facilidad de manejo para el personal técnico de salud y de fácil mantenimiento para conservación del equipo.
- Reducir costos de tiempo, al desarrollar Hardware en el país, reduciría los tiempos de espera para la reparación; no se tendrán equipos sin utilizar por la espera de la importación y adquisición de repuestos para su reparación.
- Establecer las pautas para la investigación y el desarrollo de equipos médicos y acortar el tiempo de espera en su reparación.

### **1.2.2. Objetivo específico:**

- El principal objetivo de esta investigación, es establecer las pautas para la elaboración de dos equipos médicos muy utilizados en el campo de la bioingeniería, los cuales son: el monitor de impulsos cardiacos EKG y un pulsioxímetro (oximetría de pulso)<sup>2</sup>.
- Al desarrollar e implementar estos equipos médicos, con dispositivos embebidos; se desarrollara hardware de alto nivel, para lo cual se aplicara lógica estructural, en Hardware reconfigurables y programación en microprocesadores.
- Dará la oportunidad de combinar dos estilos diferentes de diseño, de tal manera que se desarrollara un sistema integral en etapas, en la cual cada etapa otorgue una función

---

<sup>2</sup> [http://cybertesis.urp.edu.pe/urp/2006/gaspar\\_bw/html/index-frames.html](http://cybertesis.urp.edu.pe/urp/2006/gaspar_bw/html/index-frames.html)

específica y a su vez pueda interactuar entre ellas para transferir información para su posterior procesamiento.

- Desarrollar Filtros Digitales de un mayor número de coeficientes y versatilidad en el diseño, a diferencia a los diseñados en investigaciones, anteriormente realizadas<sup>3</sup>.

### **1.3. Importancia y justificación de la investigación**

Cubrir la demanda que actualmente exige el sector salud, en la modernización y equipamiento de laboratorios y salas de emergencia, y complementarlos con el instrumental necesario para análisis los clínicos.

Al reducir los costos de tiempo, reparación y soporte de los equipos, se podrá prolongar la vida útil de estos, debido que en muchos casos son equipos que se utilizan las 24 horas del día, como resultado estos equipos, sufren mayor desgaste.

Para poder desarrollar equipos médicos de mejor costo y de alto rendimiento, ya no basta diseñar equipos electrónicos con circuitería tradicional, es necesario adicionar los nuevos componentes que se han desarrollando a la largo de los años, como los circuitos de lógica embebida. Al poder desarrollar circuitería con nuevas técnicas y lógica de diseño se va a poder optimizar el desempeño y reducir costos.

---

<sup>3</sup> [http://w3.iec.csic.es/URSI/articulos\\_modernos/articulos\\_villaviciosaodon\\_2001/articulos/149.pdf](http://w3.iec.csic.es/URSI/articulos_modernos/articulos_villaviciosaodon_2001/articulos/149.pdf)

## CAPITULO II

# EQUIPOS MÉDICOS, CARACTERÍSTICAS Y PRINCIPIOS DE FUNCIONAMIENTO

### 2.1. Equipos de bioquímica

El principio de funcionamiento de estos equipos, se basa en la espectrofotetría.

#### 2.1.1. La espectrofotetría

La ley de Lambert, nos dice: “A cualquier longitud de onda, la cantidad de luz Monocromática transmitida es proporcional a la intensidad de la luz incidente”. La absorción de luz es una función exponencial del espesor, en la figura 2.1a, muestra como la luz absorbida es directamente proporcional al espesor de la solución.

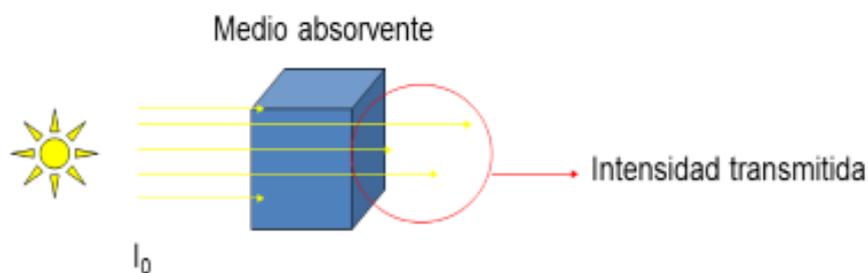


Figura 2.1a: Principio de Lambert<sup>4</sup>

La ley de Beer, nos dice: “Cuando el objeto coloreado es una solución, la cantidad de luz absorbida es directamente proporcional a la concentración del soluto en solución” como se muestra en la Figura 2.1b.

---

<sup>4</sup> [www.frlp.utn.edu.ar/grupos/aepeq/leyes.pps](http://www.frlp.utn.edu.ar/grupos/aepeq/leyes.pps)

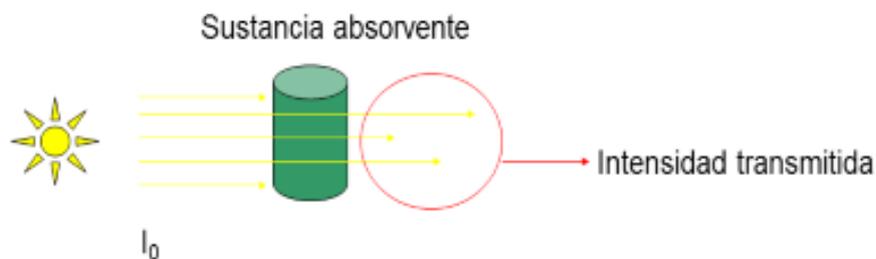


Figura 2.1b: Principio de Beer<sup>5</sup>

Estas dos leyes se combinan y forman la ley Lambert – Beer. La Transmitancia se define como la fracción de luz incidente que pasa a través de una muestra:  $T = I / I_0$

Sabiendo que la intensidad I es:

$$I = I_0 10^{-\alpha L C}$$

La absorbancia de la sustancia es:

$$A = -\text{Log } T$$

La absorbancia es directamente proporcional a la concentración de la especie que absorbe la luz.

$$A = \alpha .C.L$$

La absorbancia es adimensional. Si la concentración (C), se expresa en moles por litro y la longitud de la cubeta (paso óptico L), se expresa en cm; la absortividad molar ( $\alpha$ ) se expresa en litro/mol.cm.

---

<sup>5</sup> [www.frlp.utn.edu.ar/grupos/aepeq/leyes.pps](http://www.frlp.utn.edu.ar/grupos/aepeq/leyes.pps)

Tramitancia,  $T = I / I_0$

% Tramitancia;  $\%T = 100 T$

Absorbancia o densidad Óptica:

$$A = \log_{10} I_0 / I \text{ entonces } A = \log_{10} I / T$$

$$A = \log_{10} 100 / \%T$$

$$A = \log_{10} 100 - \log_{10} \%T$$

$$A = 2 - \log_{10} \%T$$

### **2.1.2. Sistema óptico**

El sistema óptico<sup>6</sup>, involucra la fuente de luz, espejos, rendijas, rejilla de difracción, detector y filtros. Con este sistema la luz policromática procedente de la fuente luminosa, al pasar por los filtros ópticos se convierte en luz monocromática, la cual incide sobre la muestra y la luz transmitida puede ser captada por un sistema óptico electrónico, el sistema óptico sufre pequeñas variaciones según el tipo de equipo electrónico a utilizar.

### **2.1.3. Sistema Electrónico**

El sistema Electrónico consta de un Amplificador o acondicionador de señal, dado que la señal que se obtiene en el sensor, es muy pequeña, es necesario amplificarla y acondicionarla para su posterior procesamiento. Para esto se utilizan etapas a base de amplificadores operacionales.

Para la presentación de los datos al usuario se utilizan circuitos integrados digitales, los cuales procesan la información y la representa de manera sencilla.

---

<sup>6</sup> <http://proton.ucting.udg.mx/somi/memorias/didactica/Did-6.pdf>

Los sistemas electrónicos, varían según la complejidad de cada equipo, pero el principio de funcionamiento es igual para todos los equipos. En la práctica se puede diferenciar 2 tipos de equipos:

### 1.2.3.1. El Espectrofotómetro:

Descompone la luz mediante un prisma, el cual le permite realizar un barrido al espectro fotométrico mostrado en la figura 2.2, siendo utilizado para experimentación; ya que es posible variar la longitud de onda, el cual permite obtener longitudes de onda deseada.

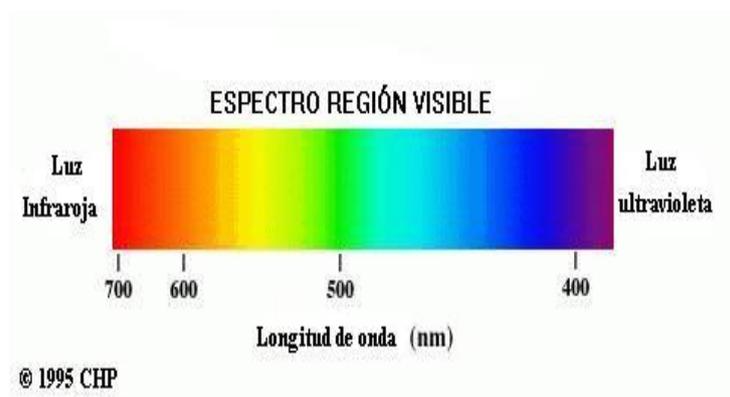


Figura 2.2: Espectro Fotométrico<sup>7</sup>

La fuente de luz cuenta con dos tipos de lámpara<sup>8</sup>, de tungsteno y de deuterio, éstas son controladas con un sistema electrónico, para proporcionar estabilidad en la emisión del haz luminoso observado en la figura 2.3. La lámpara de tungsteno se emplea para longitudes de onda de 380 a 780 nm, su radiación es continua con pequeños cortes de longitud de onda, de acuerdo al material que la recubre que por lo general es vidrio, el cual comienza a absorber a partir de longitudes de onda de 350 (nm). La lámpara de deuterio se usa para longitudes de onda de 200 a 380 (nm).

<sup>7</sup> <http://arturobola.tripod.com/spectro/radem.htm>

<sup>8</sup> <http://proton.ucting.udg.mx/somi/memorias/didactica/Did-6.pdf>

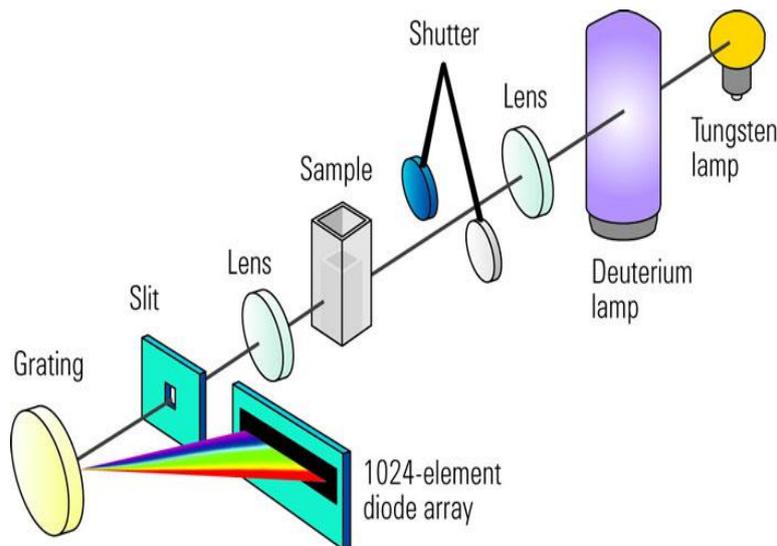


Figura 2.3: Principio óptico de espectrofotometría<sup>9</sup>

El deuterio es un isótopo de hidrógeno, y como es sabido, éste no emite todos los colores del arco iris cuando es excitado, sino sólo algunos, parte de estos son en el rango de interés para este equipo.

### 2.1.3.2. El Fotómetro:

A diferencia del espectrofotómetro, posee una rueda de filtros; cada filtro, solo deja pasar una longitud de onda determinada, para realizar pruebas específicas, esta rueda de filtros es controlada por un motor, que a su vez es controlado por una etapa electrónica de potencia.

El fotómetro, es el equipo más utilizado en el área de laboratorio, debido a que las pruebas están predefinidas a una cierta longitud de onda, no es necesario estar sintonizando la longitud de onda deseada, y con facilidad se puede procesar otra prueba que es solicitada.

<sup>9</sup> [http://www.chem.agilent.com/en-US/Products/Instruments/uv-vis/pages/photodiode\\_array\\_benefits.aspx](http://www.chem.agilent.com/en-US/Products/Instruments/uv-vis/pages/photodiode_array_benefits.aspx)

El monocromador, el cual se muestra en la Figura 2.4, es una parte importante del fotómetro, es el que se encarga de dispersar de luz, permitiendo examinar la intensidad luminosa en la muestra para longitudes de onda seleccionadas.

El monocromador, recibe luz policromática a través de una rendija de entrada, la modifica geométrica y ópticamente, y dirige seguidamente la radiación seleccionada a través de una rendija de salida, de manera que pueda ser sensada por un fotodetector.

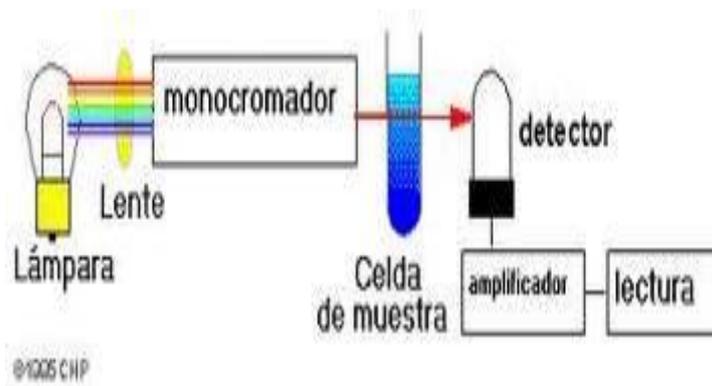


Figura 2.4: Monocromador<sup>10</sup>.

#### 2.1.4. La Lógica embebida

La lógica embebida, desempeña una labor importante en el diseño de los equipos médicos, en equipos semiautomatizados; como en la Figura 2.5, se diseña con circuitos integrados de mediana escala de integración, y en equipos automatizados, se diseña a gran escala de integración; como el mostrado en la Figura 2.6.

---

<sup>10</sup> <http://www.xtec.cat/~gjimene2/licencia/students/08turbi.html>



Figura 2.5: Equipo semiautomatizado Metrolab 1600DR<sup>11</sup>

Aunque el principio de funcionamiento es el mismo para ambos equipos, se diferencian en la cantidad de componentes a implementar y las aplicaciones en que estos equipos se utilizan; en muchos casos los equipos automatizados poseen brazos mecánicos, que permiten al equipo tomar las muestras [1] y reactivos [2], que son los elementos que permiten realizar la reacción [3]; poseen motores que controlan platos, donde se colocaran las muestras y reactivos, haciendo más complejo el diseño en estos equipos, necesitan agregarles más etapas de potencia para controlar estas partes adicionales.



Figura 2.6: Equipo Automatizado Konelab Prime<sup>12</sup>

---

<sup>11</sup> <http://www.metrolab.com.ar/1600dr.php>

<sup>12</sup> <http://www.thermoscientific.com/wps/portal/ts/products/detail?productId=11962990&groupType=PRO DUCT&searchType=0>

### 2.1.4.1. Equipos Semiautomatizados

La lógica en estos equipos permite la integración de microprocesadores [4], PLD's [5], y circuitería adicional, como los mostrados en la figura 2.7, estos diseños contienen un banco de memorias donde, se almacenan las pruebas a realizar.

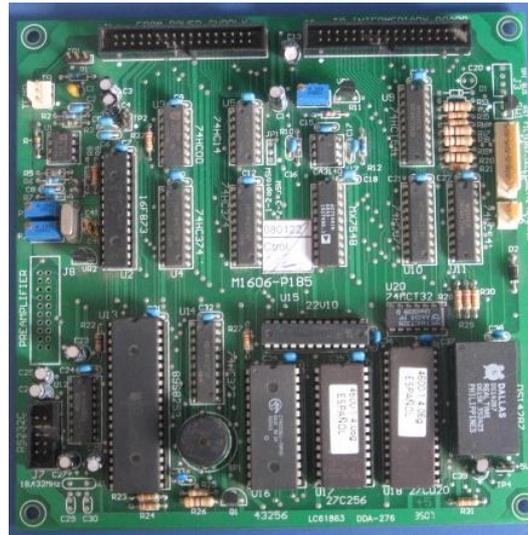


Figura 2.7: Circuito equipo Metrolab 1600

El PLD nos brinda la lógica de circuitería, la cual nos permite un diseño más óptimo, reduciendo la cantidad de circuitos integrados y nos da un mejor aprovechamiento del área a implementar.

Los microprocesadores, aprovechan su función de conversión análogo a digital, digitalizando la lectura de luz a través de la muestra, y posteriormente llevando estos datos a otro microprocesador, el cual convertirá estos datos a absorbancias, que serán interpretados por el personal médico, a través de una pantalla gráfica, y podrá determinar un diagnostico al paciente.

Adicionalmente en el hardware de estos equipos, presenta un controlador de impresora, y puerto de comunicación RS232 [6] para poder imprimir o transmitir los datos hacia una PC, para poder ser archivado.

#### 2.1.4.2. Equipos Automatizados

Estos diseños utilizan comúnmente CPLD [7] o FPGA [8], microprocesadores y circuitería de potencia adicional, en la figura 2.8 se puede apreciar estos integrados. Generalmente estos equipos, utilizan una computadora exterior donde se tiene un programa de control del analizador, el cual se encarga de mandar comandos u órdenes a las tarjetas de control para realizar alguna acción.

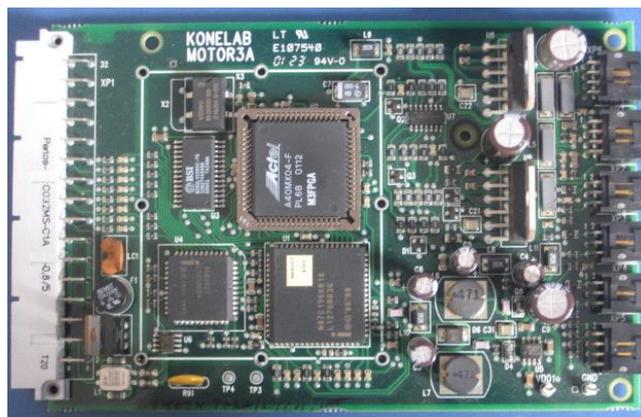


Figura 2.8: Circuito con FPGA y etapa de potencia

Al igual que en los equipos semiautomatizados, El CPLD o FPGA se encarga de reducir la circuitería que es necesaria para el funcionamiento de estas tarjetas de control, por lo general son varias tarjetas de control dependiendo de la complejidad del equipo, estos dispositivos interactúan con etapas de potencia y etapas de microprocesamiento. Los datos adquiridos por la etapa amplificadora son convertidos de analógico a digital y procesados en esta etapa como se muestra en la figura 2.9, el FPGA debido a su gran versatilidad de procesamiento, permiten al equipo obtener una gran velocidad en el procesamiento de muestras, y en la etapa de potencia, da gran versatilidad al control de motores.



Figura 2.9: Amplificación, AD y FPGA controladora.

Los microprocesadores, por lo general reciben la información que ha sido primero captada por la etapa de CPLD o FPGA y se encarga de transmitir a la computadora central o realizar pequeños procesos de control, como controladores de brazo y de platos, los cuales se encargan de monitorear la temperatura de ambas partes, como siempre aprovechando su función análoga digital.

## 2.2. Equipos de Hematología

Los equipos de hematología, funciona bajo tres principios de funcionamiento, para el conteo de las células, pudiendo utilizar cualquier principio de funcionamiento.

### 2.2.1. Principio de funcionamiento

#### 2.2.1.1. Impedancia eléctrica.

Los analizadores que emplean este sistema para contar y clasificar las células por tamaño, se basan en la medida de la conductividad o resistencia (impedancia). Esta tecnología se basa en el principio de que las células son malas conductoras eléctricas. Por tanto, se diluyen en un diluyente eléctricamente conductor y se les hace pasar a través de una pequeña abertura entre dos electrodos, como los mostrados en la Figura 2.10. La suspensión pasa a través de la apertura entre los electrodos y el aparato cuenta y clasifica

por tamaños, varias miles de células por segundo. Cada célula, produce un cambio en la impedancia eléctrica, y un pulso de voltaje medible, siendo el tamaño de la célula proporcional a la magnitud del cambio en la resistencia o altura de cada pulso de voltaje.

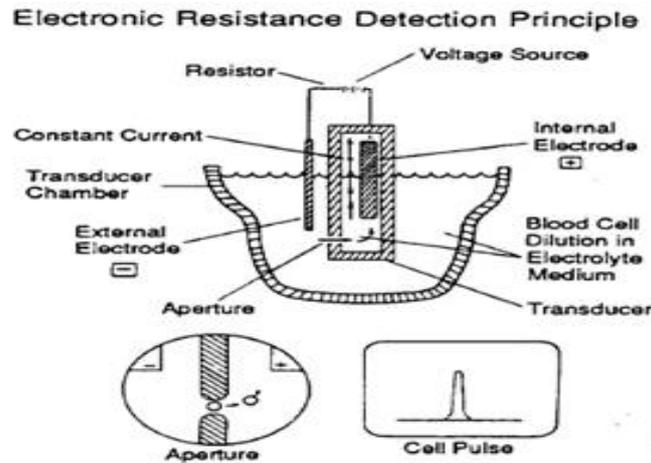


Figura 2.10: Células a través de electrodos<sup>13</sup>.

### 2.2.1.2. Cuantificación del buffy coat (Método centrifugo)

El sistema se basa en la cuantificación del Buffy-coat. Es la capa blanquecina, situada por encima de la serie roja y por debajo del plasma, que está constituida por leucocitos y plaquetas. Es decir, se basa en el hecho de que debido a la diferente densidad celular, éstas se agrupan en diferentes capas, cuando la sangre se centrifuga en un tubo de microhematocrito [9].

El capilar lleva en su interior oxalato potásico, el cual tiñe las nucleoproteínas [10], las lipoproteínas [11] y que bajo una excitación con luz azul-violeta, emiten diferentes grados de fluorescencia. Las diferencias en la fluorescencia se utilizan para diferenciar aún más los subtipos celulares. El aparato delimita automáticamente las diferentes capas y cuantifica los componentes sanguíneos.

<sup>13</sup> <http://www.scribd.com/doc/13620276/Interpretacion-del-Sysmex-Hematologico>

### 2.2.1.3. Rayo Laser

Es el método de mayor precisión, exactitud y fiabilidad de la actualidad. El principal inconveniente, su precio. Se hace pasar las células a través de un haz de luz laser, que ellas absorben y dispersan. La interrupción en el haz se usa para hacer los recuentos celulares, mientras que los cambios en la dispersión, se emplean para determinar el tamaño y la complejidad interna o densidad.

### 2.2.2. Sistema Electrónico

La adquisición de la señal, se realiza de manera analógica, utilizando los métodos o principios antes mencionados, convirtiendo estas señales a su representación digital, una vez obtenida se lleva a una tarjeta principal generalmente denominada CPU, mostrado en la figura 2.11.

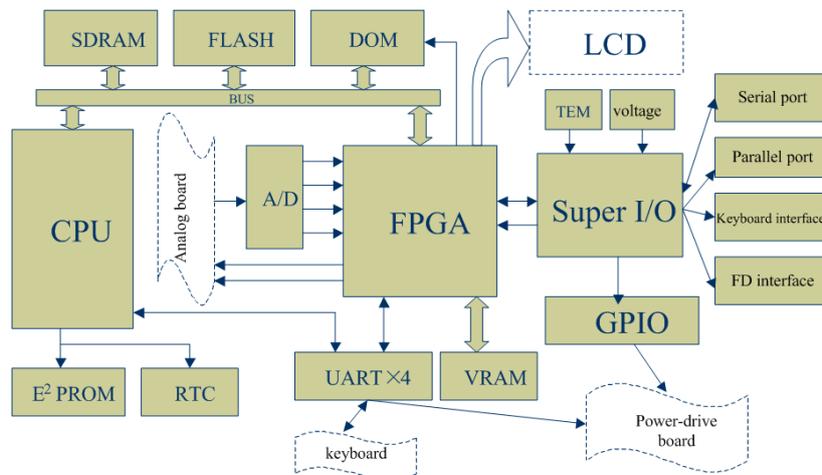


Figura 2.11: Diagrama de funcionamiento<sup>14</sup>

La función principal de la CPU, es recibir las señales analógicas de los conteos de WBC/RBC/PLT, medición de HGB, voltaje de vacío de apertura / señales de presión, etc. Monitorear el status del sistema como el voltaje de la tarjeta analógica, la temperatura de

<sup>14</sup> Figura obtenida del manual de servicio del equipo Counter 19

todo el analizador, recibir la señal del teclado, control de las válvulas, y periféricos de salida.

### 2.2.3. Lógica embebida en Hematología

Al igual que en los equipos de bioquímica, la lógica embebida desempeña una función importante en el funcionamiento de estos equipos, como en el mostrado en la figura 2.12.



Figura 2.12: equipo Hematológico<sup>15</sup>

Un FPGA, procesa los datos adquiridos en el conversor análogo digital y realiza el control del LCD, este actúa como retransmisor entre el CPU y los periféricos; La CPU está compuesto por microcontroladores, los cuales tiene la función de monitorear el comportamiento del programa principal, y a la vez poseen bancos de memorias Eeprom[12], para el almacenamiento de datos y calibraciones.

El FPGA, permite reducir los costos de implementación y aumenta la velocidad de procesamiento; permite la comunicación con otros periféricos, optimizando el

---

<sup>15</sup> <http://www.sanatorios.info/boletines/0104/internacionales.htm>

intercambio de información procesado. La figura 2.13 muestra integración de los circuitos embebidos, debido al complejo funcionamiento del equipo.



Figura 2.13: CPU Equipo Hematológico

En estos sistemas, la etapa de potencia es realizada por foto acopladores, debido a que los niveles de voltaje del CPU son de baja tensión, los acopladores se encargan de la interacción de las válvulas y motores.

## CAPITULO III

# DISEÑO DE ELECTROCARDIÓGRAFO Y PULSIOXÍMETRO

### 3.1. Electrocardiógrafos

Los Electrocardiógrafos (**ECG/EKG**, del alemán *Elektrokardiogramm*<sup>16</sup>), son aparatos electrónicos que registran la actividad eléctrica del corazón, a través de electrodos, mediante una diferencia de potencial (biodiferenciales), y es registrado en electrocardiogramas [13] la cual se muestra en la figura 3.1.

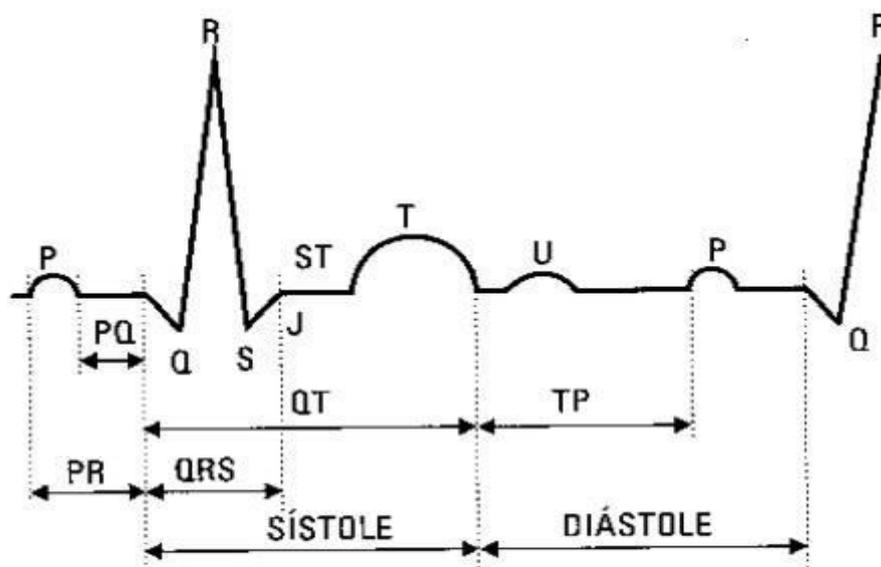


Figura 3.1: Electrocardiograma<sup>17</sup>

<sup>16</sup> <http://es.wikipedia.org/wiki/Electrocardiograma>

<sup>17</sup> <http://www.elrancaguino.cl/news/agosto-mes-del-corazon-enfermedades-cardiovasculares-son-la-primer-causa-de-muerte-en-chile/>

La terminología habitual de las ondas electrocardiográficas suele ser :

Onda P : Primera onda del ciclo electrocardiográfico

Segmento PR : Isoeléctrica entre final de P e inicio de QRS.

Onda Q : Primera deflexión negativa del complejo QRS

Onda R : Primera deflexión positiva del QRS.

Onda S : Primera deflexión negativa que sigue a la onda R

Onda R' : Deflexión positiva que aparece tras la onda S.

Onda S' : Deflexión negativa que sigue a la onda R'.

Complejo QS : Deflexión totalmente negativa.

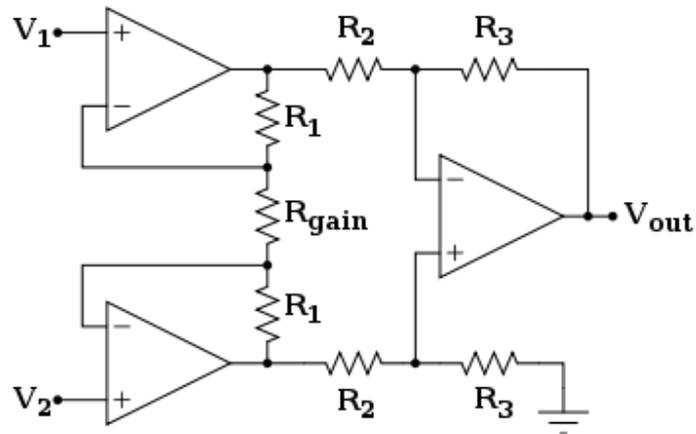
Segmento ST : Deflexión positiva, negativa o isoeletrica que une QRS con la onda T.

Onda T : Deflexión positiva o negativa que se inscribe lentamente tras el segmento ST.

Onda U : Pequeña deflexión positiva que se inscribe tras T.

### **3.1.1. Principio de funcionamiento**

El principio de funcionamiento, se basa en la amplificación de las señales cardiacas, a través de amplificadores de bioinstrumentación como el mostrado en la figura 3.2, estos amplificadores; están diseñados para tener alta impedancia de entrada y un alto rechazo al modo común CMRR [14].



$$V_{out} = (V_2 - V_1) \left( 1 + \frac{2R_1}{R_g} \right) \frac{R_3}{R_2}$$

Figura 3.2 : Amplificador de Bioinstrumentación

El amplificador obtiene la señal del cuerpo, luego esta señal es filtrada, ya sea por filtraje digital o analógico, luego la señal filtrada se envía a un microprocesador para su posterior representación gráfica y/o numérica.

Existen amplificadores de instrumentación, encapsulados en un solo circuito integrado, como los INA la cual se muestra en la figura 3.2; uno de sus principales aplicaciones es la instrumentación médica. El INA reduce el área a implementar el amplificador de bioinstrumentación.

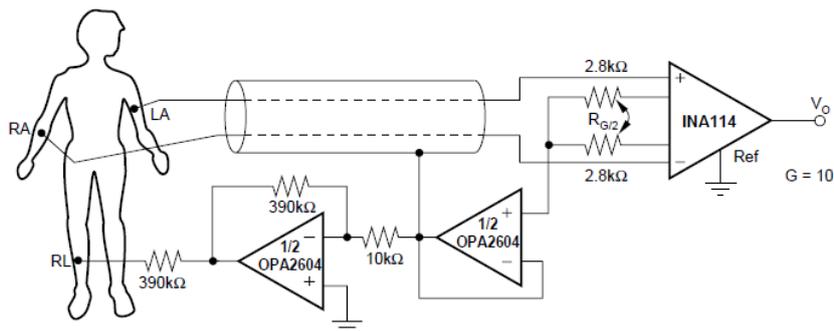


Figura 3.2: INA 114 aplicado a adquisición de EKG<sup>18</sup>

<sup>18</sup> <http://pdf1.alldatasheet.com/datasheet-pdf/view/56674/BURR-BROWN/INA114.html>

Los electrodos registran el ritmo cardiaco, transformando las corrientes Iónicas en corrientes eléctricas, para la cual posee iones con sodio ( $\text{Na}^+$ ), potasio ( $\text{K}^+$ ), y cloruro ( $\text{Cl}^-$ ), estas cargas eléctricas son llevadas al amplificador.

### 3.2. Oximetría de Pulso

La Oximetría de Pulso o Pulsioxímetro<sup>19</sup>, es la medición no invasiva del oxígeno transportado por la hemoglobina en el interior de los vasos sanguíneos.

Determina la saturación de oxígeno [15], midiendo espectrofotométricamente el "grado" de rojo intenso de la sangre arterial y expresa estos "grados" en términos de saturación.

Cualquier cambio en la absorción de la luz entre un tiempo dado y uno posterior se debe exclusivamente a la sangre arterial. Los pulsioxímetros miden la relación, en un intervalo de tiempo, entre las diferencias de absorción de la luz roja e infrarroja. Esta relación se vincula directamente con la saturación de oxihemoglobina.

La correlación entre la saturación de oxígeno ( $\text{SaO}_2$ ) y la presión de oxígeno ( $\text{PaO}_2$ ) viene determinada por la curva de disociación de la oxihemoglobina como se muestra en la figura 3.3.

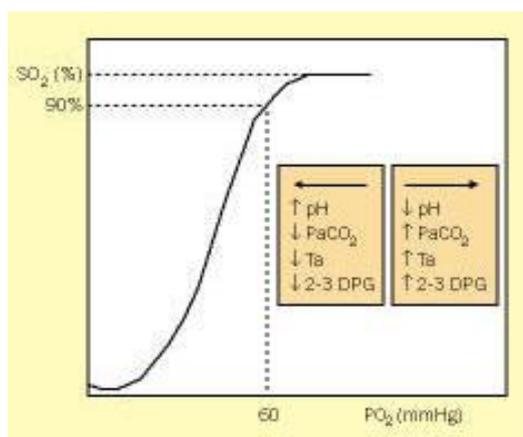


Figura 3.3: Curva de disociación de la hemoglobina y factores que la alteran<sup>20</sup>

<sup>19</sup> <http://www.fisterra.com/material/tecnicas/pulsioximetria/pulsio.asp>

<sup>20</sup> <http://www.fisterra.com/material/tecnicas/pulsioximetria/pulsio.asp>

### 3.2.1. Principio de funcionamiento

El dispositivo emite luz con dos longitudes de onda de 660 nm (roja) y 940 nm (infrarroja) que son características respectivamente de la oxihemoglobina [16] y la hemoglobina reducida [17]. La mayor parte de la luz es absorbida por el tejido conectivo, piel, hueso y sangre venosa en una cantidad constante, produciéndose un pequeño incremento de esta absorción en la sangre arterial con cada latido, lo que significa que es necesaria la presencia de pulso arterial para que el aparato reconozca alguna señal.

El pulsioxímetro, como lo muestra la figura 3.4, tiene un transductor con dos piezas, un emisor de luz y un fotodetector, generalmente es en forma de pinza y se suele colocar en el dedo, después se espera recibir la información en la pantalla: la saturación de oxígeno, frecuencia cardíaca y curva de pulso.



Figura 3.4: Transductor<sup>21</sup>

Este transductor se denomina fotopletismógrafo mostrado en la figura 3.5, el cual es un dispositivo que detecta obstrucciones en los vasos sanguíneos, velocidad de la sangre, frecuencia cardíaca, etc. El fotopletismógrafo da lecturas cualitativas; es decir nos permite conocer si existe o no flujo mas no la cantidad exacta.

---

<sup>21</sup> <http://spanish.alibaba.com/product-free/nellcor-7-pin-bci-9-pin-nonin-compatible-adult-spo2-sensor-111529752.html>

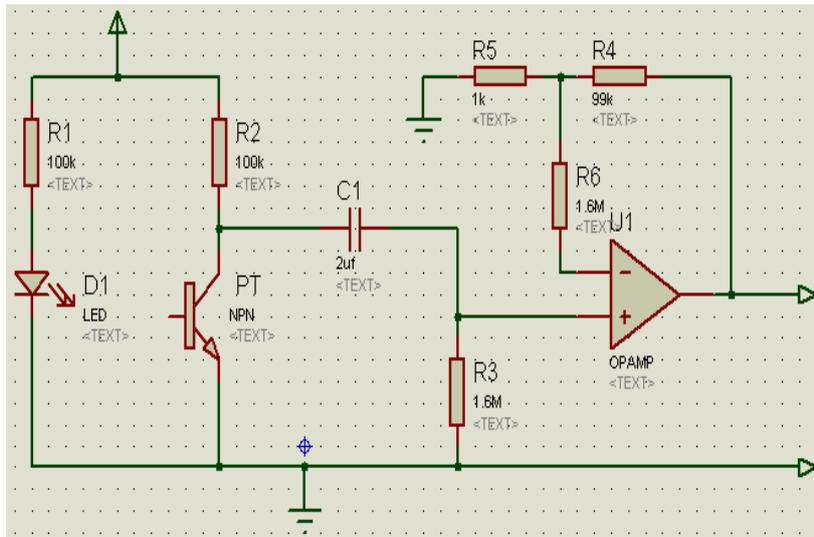


Figura 3.5: Fotopletismógrafo

Una vez adquirida la señal esta es filtrada, ya sea por filtraje digital o analógico y es enviada a un microprocesador para su posterior representación grafica y/o numérica.

### 3.3. Diseño de la implementación

Como se puede observar tanto como en el EKG y en el Pulsioxímetro, las señales son obtenidas por diferentes medios, pero el filtrado de las señales es realizado en ambos casos; por lo tanto se implementara un filtrado digital utilizando el FPGA de la familia Xilinx, luego enviara los datos a un microprocesador.

#### 3.3.1. Filtraje Digital

En el marco de la implementación se utilizara bancos de filtros FIR (respuesta finita al impulso), estos filtros son siempre estables, y son capaces de tener una respuesta de fase que es lineal, sin distorsión de fase. El mayor problema de los filtros FIR es que para unas especificaciones dadas requieren un filtro de orden mucho mayor que los filtros IIR. Un

filtro FIR de longitud M con entrada  $x[n]$  y salida  $y[n]$  se describe mediante la ecuación diferencial:

$$y[n] = b_0x[n] + b_1x[n - 1] + \dots + b_{M-1}x[n - M + 1] = \sum_{k=0}^{M-1} b_kx[n - k]$$

Donde  $b_k$  son los coeficientes del filtro, y M es el orden del filtro.

Los 3 métodos más comunes de diseño de filtros FIR<sup>22</sup> son:

- Diseño en base de ventanas espectrales
- Diseño mediante el muestreo de frecuencia
- Diseño iterativos basados en condiciones optimas

En los diseños, se utilizara el método en base a ventanas espectrales. El uso de ventanas en la respuesta al impulso de un filtro ideal se logra por medio de ventanas que son a su vez simétricas.

Un filtro FIR en base a ventanas, es un sistema que modifica el comportamiento frecuencial de la señal de entrada, en el cual la señal de salida se define como la convolución entre la señal a filtrar y la respuesta al impulso del filtro<sup>23</sup>. Podemos Expresar la salida del filtro  $y[n]$  como una convolución de entrada  $x[n]$  con la respuesta a impulso  $h[n]$ :

---

<sup>22</sup> Ashok Ambar, Procesamiento de señales analógicas y digitales, Thomson Learning, 2<sup>da</sup> ed., México, 2002

<sup>23</sup> Proakis, John G.; Manolakis, Dimitris: *Tratamiento Digital de Señales* . Prentice Hall, Madrid 1998

$$y[n] = \sum_{k=0}^{M-1} h[k] * x[n - k]$$

Para diseñar los filtros FIR se tienen que truncar la serie infinita de los coeficientes de Fourier en una serie finita<sup>24</sup>. Si estos coeficientes son truncados, el filtro se verá afectado y se producirá el efecto de Gibbs [18]. Se producirán ondulaciones antes y después de cualquier discontinuidad. Estas ondulaciones no desaparecerán, sin importar que tan larga sea la serie, ya que siempre será finita. Por esto es que se emplea el método de ventana donde se usa un número finito de secuencias de  $w(n)$ .

### 3.3.2. Cálculos para el diseño

Para ambas aplicaciones diseñaremos un filtro FIR pasabanda con ventana de Hamming, con una banda de paso: [0.5 150] Hz, con una frecuencia central de 149.5Hz y una frecuencia de muestreo ( $F_s$ ) de 1Mmps (1 Megamuestra por segundo). Para estos cálculos utilizaremos el matlab, con la herramienta fdatool, mostrado en la figura 3.6, para calcular los coeficientes del filtro, seleccionamos filtro pasabanda FIR y escogemos la ventana de Hamming, seleccionamos  $F_s$ , la máxima que nos permite el conversor análogo digital que es 1Mmps, y seleccionamos las frecuencias de corte  $F_{c1} = 0.5\text{Hz}$  y  $F_{c2} = 150\text{Hz}$ , y damos un peso al filtro de 39, y rápidamente podemos calcular el filtro FIR gráficamente, podemos ver su frecuencia de corte a 3db y observamos que a 3db tenemos una frecuencia de corte de 16.54Khz, no es la frecuencia de corte la cual teníamos pensado en el filtro, pero aun así lo diseñaremos en el FPGA para corroborar en forma experimental lo que se obtuvo en la simulación con el matlab.

---

<sup>24</sup> [http://www.dsp.efn.unc.edu.ar/documentos/Filtro\\_FIR.pdf](http://www.dsp.efn.unc.edu.ar/documentos/Filtro_FIR.pdf)

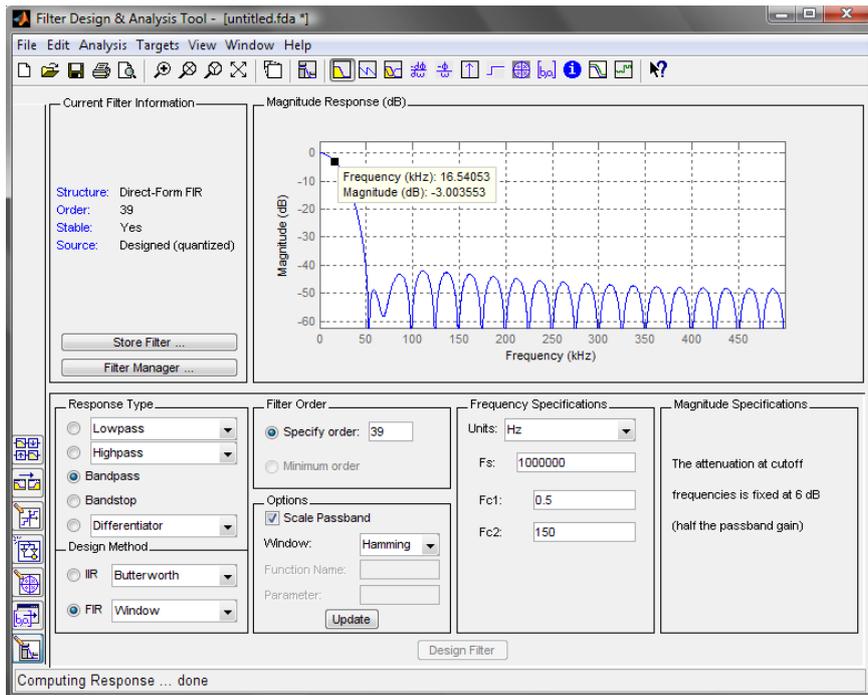


Figura 3.6: Herramienta fdatool.

Colocamos 39 en el peso, ya que el diseño del filtro es simétrico, para la simetría aumentara un peso automáticamente.

Posteriormente obtendremos los coeficientes del filtro, y vemos que los coeficientes del filtro son positivos (Anexo A.1), pasaremos a obtener estos coeficientes en su expresión Hexadecimal (Anexo A.2), para ello nos valdremos una vez mas de la herramienta fdatool, la figura 3.7 muestra como seleccionaremos la cantidad de bit en que vamos a trabajar nuestra entrada al filtro, y determinamos si nuestro filtro va ser de punto fijo o no y si el bit de mayor peso representará el signo.

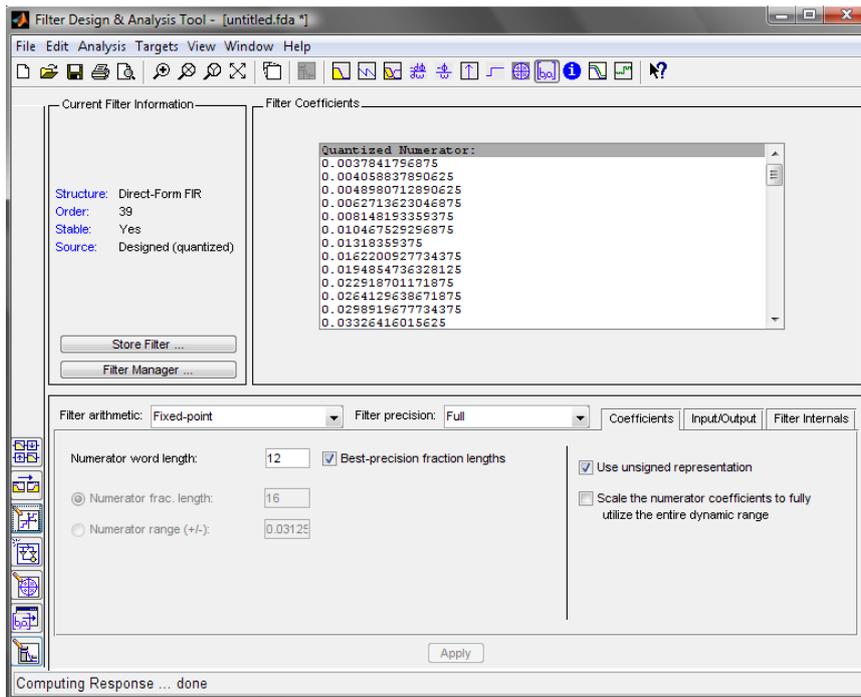


Figura 3.7: Selección de bit del filtro y representación con signo

Con esta opción colocamos los bits de entrada a 12 y le damos representación sin signo, con la opción de punto fijo. Luego, con la opción targets, vamos a Xilinx Coefficients, obtendremos en un archivo con los coeficientes en su representación Hexadecimal (Anexo A.2).

Estos coeficientes serán aprovechados para colocarlos en una tabla de memoria RAM, el cual será implementado en el FPGA, y será utilizado cada vez que sea necesario.

### 3.3.3. Componentes a utilizar

Para lograr la implementación del filtro, utilizaremos la tarjeta Nexys 2, mostrada en la figura 3.8; de la compañía digilent, el cual posee el FPGA XC3S500E de Xilinx, este FPGA consta de 500000 compuertas lógicas, banco de memorias RAM [19] y multiplicadores.

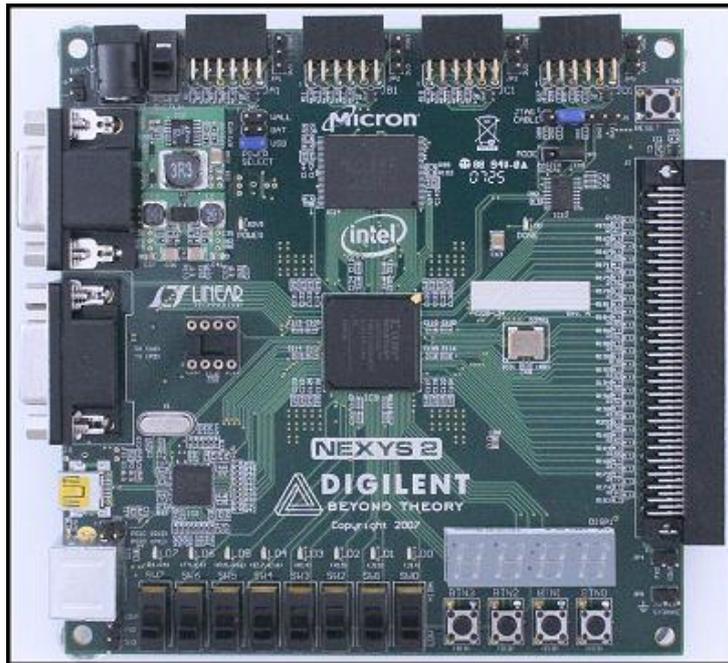


Figura 3.8: Tarjeta FPGA Nexys 2<sup>25</sup>

En la conversión de las señales analógicas a digitales, se utilizó el módulo PmodAD1, mostrado en la figura 3.9a, el cual está implementado por 2 convertidores análogo a digital ADCS7476 de 12 bits cada uno, capaces de realizar una frecuencia de muestreo de 1 millón de muestras por segundo, posee filtros antialiasing [20] con los polos colocados a 500Khz, para limitar el ancho de banda de la señal analógica a un rango de frecuencia adecuada a la velocidad de muestreo del convertidor.

En la figura 3.9b muestra el PmodDA2, el cual posee 2 convertidores digital a análogo, está implementado por dos DAC121S101, con 12 bit cada uno.

---

<sup>25</sup> <http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,400,789&Prod=NEXYS2>

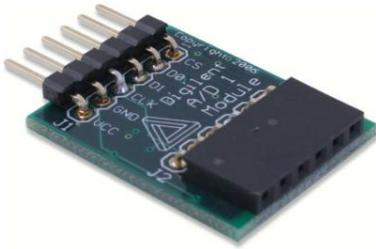


Figura 3.9a: PmodAD1<sup>26</sup>

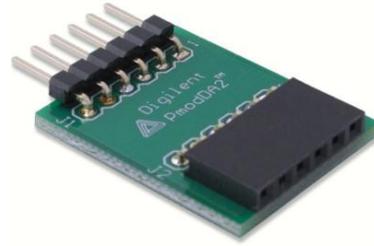


Figura 3.9b: PmodDA2<sup>27</sup>

Estos módulos, serán necesarios para llevar la señal a procesar hacia el FPGA, y posteriormente verificar el funcionamiento de este.

Como software de compilación y simulación se utilizara el ISE web pack versión 11.3, y el ModelSim XE, versión 6.4b.

## 3.4. Lógica de Diseño

Para poder procesar las señales de entrada en el Filtro FIR, el cual se implementará en el FPGA, primero es necesario comprender el funcionamiento de los Pmod's, a través de su diagrama de tiempos, y la arquitectura de cada uno de ellos.

### 3.4.1. Lógica de control ADCS7476 y PmodAD1

En la figura 3.10a, observamos los pines de control del dispositivo PmodAD1. La figura 3.10b, muestra el diagrama de tiempo, podemos observar que para una muestra valida tiene que transcurrir 16 pulsos de reloj, de los cuales solo 12 pulsos son validos para un

---

26

<http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,401,499&Prod=PMOD-AD1>

27

<http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,401,487&Prod=PMOD-DA2>

dato analógico a digital, esto quiere decir que se tendrá que descartar los 4 primeros bits que se reciban de la lógica de control del PmodAD1.

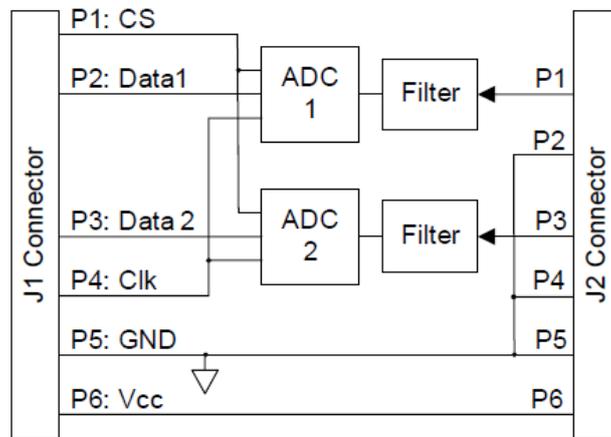


Figura 3.10a: Arquitectura del Pmod AD1<sup>28</sup>

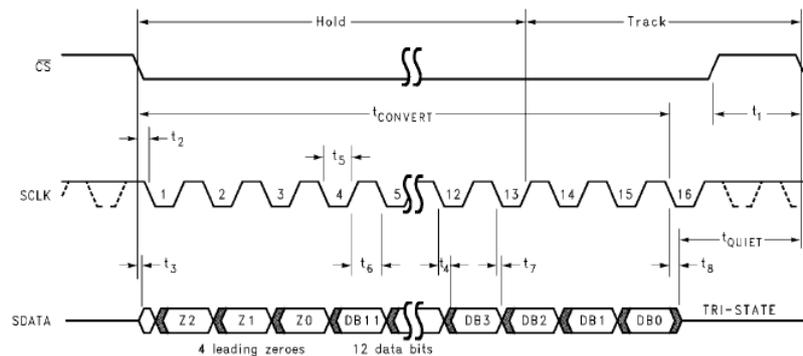


Figura 3.10b Diagrama de tiempos ADCS7476<sup>29</sup>

El ADCS7476, tiene un rango de funcionamiento de 10KHz a 20Mhz, garantizando la performance a 20Mhz, a esta frecuencia se logra obtener una frecuencia de muestreo de 1Mmps (Megamuestra por segundo). Al controlar la frecuencia de reloj de entrada podemos manipular los tiempos de control del ADCS7476, para realizar el control es necesario conocer los pines de control de los integrados los cuales son:

<sup>28</sup> <http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,401,499&Prod=PMOD-AD1>

<sup>29</sup> <http://pdf1.alldatasheet.com/datasheet-pdf/view/225222/NSC/ADCS7476.html>

- **V<sub>IN</sub>**.- Entrada analógica, esta señal puede variar desde 0 hasta VDD.
- **SCLK**.- Entrada digital reloj, el rango de frecuencias de esta entrada es de 10Khz hasta 20Mhz, garantizando la performance hasta 20Mhz. Este reloj controla directamente la conversión y el proceso de lectura.
- **SDATA**.- Salida digital datos, los datos de salida son sincronizados por el pin SCLK.
- **CS**.- Selección del chip, el proceso de conversión se inicia con la señal en bajo de este pin.

Al conocer los pines y comprender el diagrama de tiempo, podemos determinar los tiempos de retardo y control para adquirir las muestras y poder ser digitalizadas, de esa manera podemos dar una descripción VHDL del hardware a controlar (Anexo B1).

### 3.4.2. Lógica de control DAC121S101 y PmodDA2

En la figura 3.11a, muestra los pines de control del PmodDA2. En el diagrama de tiempos de la figura 3.11b, se observa que es necesario 16 pulsos del reloj, para el envío de un dato para su representación analógica, para lo cual es necesario aumentar 4 bits en el dato que se enviara al PmodDA2.

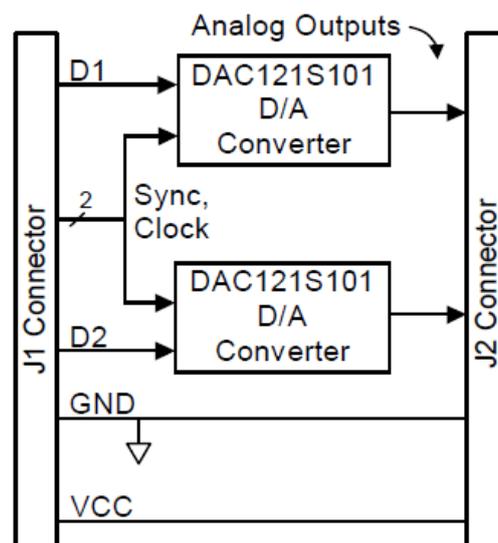


Figura 3.11a: Arquitectura del PmodDA2<sup>30</sup>

<sup>30</sup> <http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,401,487&Prod=PMOD-DA2>

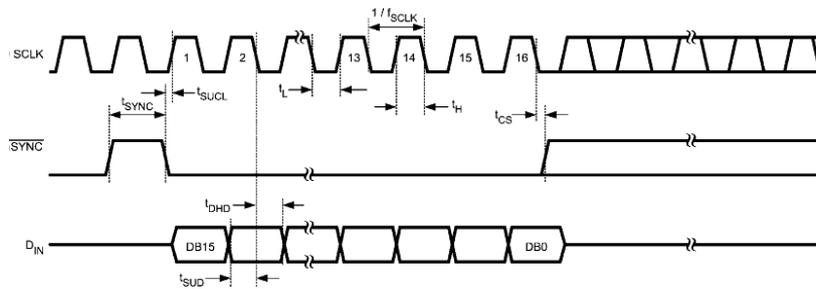


Figura 3.11b: Diagramas de tiempos DAC121S101<sup>31</sup>

Al igual que en el PmodAD1, es necesario conocer los pines de control de los integrados los cuales son:

- **V<sub>OUT</sub>**.- DAC salida de voltaje análoga.
- **D<sub>IN</sub>**.- Entrada de datos serial. Los datos son sincronizados en un registro de desplazamiento de 16 bits, en el límite de bajada de SCLK, después de la caída de SYNC.
- **SCLK**.- Entrada serial del reloj. La data es sincronizada en un registro de desplazamiento de 16 bits en el límite de bajada de este pin.
- **SYNC**.- Entrada de sincronización de cuadros para la entrada de datos. Cuando este pin va a bajo, permite transferir los datos de entrada en el registro de desplazamiento en los límites de caída de SCLK. El DAC es actualizado en el 16ava caída de reloj, la señal de SYNC se pone en alta antes del 16avo pulso de reloj.

El DAC121S101 tiene un rango de trabajo de hasta de 30Mhz, al conocer los pines y comprender el diagrama de tiempos, podemos determinar los tiempos de retardo y control para enviar un dato digital y ser convertido a analógico y de esa manera se da una descripción VHDL, para el control del PmodDA2 (Anexo B2)

<sup>31</sup> <http://pdf1.alldatasheet.com/datasheet-pdf/view/106695/NSC/DAC121S101.html>

### 3.4.3. Representación de números negativos

Los PmodAD1 y PmodDA2, poseen un rango de funcionamiento analógico de voltaje, desde 0 hasta 5 voltios, los cuales los representa en forma binaria, para poder procesar señales analógicas que van desde valores negativos a positivos, debemos representar los números binarios a su complemento a 2 [21].

Para la representación de números negativos a partir de números positivos, se invierte el bit más significativo (MSB) del número binario, como se muestra en la tabla 3.1. Al invertir este bit observamos que tenemos el número binario representado a su complemento a 2, en la tabla 3.1 observamos que la representación de números negativos tendrá un número más que en la representación de números positivos.

Número	Binario				Complemento				Número
	Natural				a 2				
	A	B	C	D	A	B	C	D	
15	1	1	1	1	0	1	1	1	7
14	1	1	1	0	0	1	1	0	6
13	1	1	0	1	0	1	0	1	5
12	1	1	0	0	0	1	0	0	4
11	1	0	1	1	0	0	1	1	3
10	1	0	1	0	0	0	1	0	2
9	1	0	0	1	0	0	0	1	1
8	1	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	1	-1
6	0	1	1	0	1	1	1	0	-2
5	0	1	0	1	1	1	0	1	-3
4	0	1	0	0	1	1	0	0	-4
3	0	0	1	1	1	0	1	1	-5
2	0	0	1	0	1	0	1	0	-6
1	0	0	0	1	1	0	0	1	-7
0	0	0	0	0	1	0	0	0	-8

Tabla 3.1: BCD a complemento a 2

El PmodAD1, posee 12 bits de resolución lo cual permite un rango de conversión desde 0 hasta 4095 ( $2^{12} - 1$ ), para relacionar este rango de entrada y obtener números negativos y positivos, tomaremos el bit más significativo (MSB) de la salida del PmodAD1, lo

invertimos y obtendremos un número binario con signo a su representación a complemento a 2, es decir el valor analógico que ingrese por el PmodAD1, será convertido y a su salida será un número binario a su complemento a 2.

De esta manera podremos representar números positivos y negativos con un rango de voltaje de 0 a N voltios, una vez que tenemos el número a complemento a 2 y procesado por el FPGA volvemos a realizar el proceso para poder visualizarlo en el PmodDA2, es decir se invertirá el bit MSB del dato de entrada. Una vez definido la forma de convertir los números BCD [22] a su complemento a 2, podemos realizar los cambios necesarios a la representación VHDL del control de las tarjetas Pmod (Anexo C1 y C2).

Para la representación de los números negativos se tomara en cuenta la entrada de 12 bits del PmodAD1, es decir el rango de representación ira desde -2048 a 2047, en general para representar los números a complemento 2, el rango de trabajo será desde  $-2^{n-1}$  a  $2^{n-1} - 1$ , donde n es la cantidad de bits que representará al número. Para lograr esta representación es necesario que la señal de entrada tenga un offset el cual será igual a la mitad del voltaje de alimentación de los módulos (VDD/2).

#### **3.4.4. Estructura de los Filtros FIR**

La interpretación gráfica de un filtro LTI (Lineal invariante en el Tiempo) FIR de orden L se realiza directamente a partir de su ecuación en diferencias. Ésta es la denominada Implementación con Estructura Directa la cual se muestra en la figura 3.12. En su realización se utilizan básicamente una línea de elementos de retardo, multiplicadores y sumadores, con un número de etapas igual al orden del filtro.

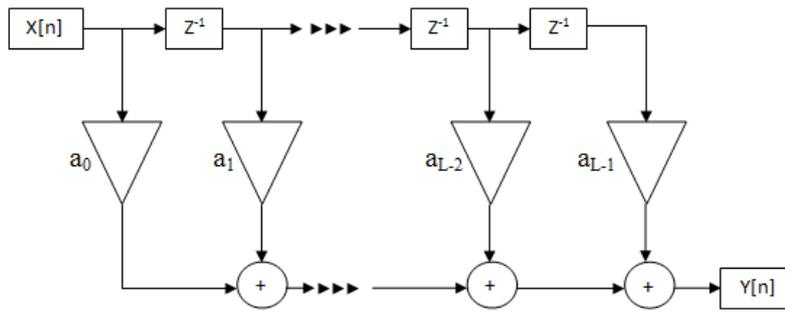


Figura 3.12: Filtro FIR forma Directa

Una variación de este modelo es la llamada Implementación con Estructura Directa Transpuesta<sup>32</sup>. Esta se deriva de la Implementación Directa sin más que modificar la posición de los elementos de retardo, lo que obliga también a cambiar el orden de los coeficientes, como se observa en la Figura 3.13. La estructura transpuesta es generalmente la forma preferida de los diseñadores de implementar los filtros FIR, puesto que elimina la necesidad de introducir una etapa de segmentación adicional para implementar el árbol de sumadores en cascada, que se convierte en obligatoria cuando se trata de conseguir la mayor tasa de transferencia (throughput) para el filtro.

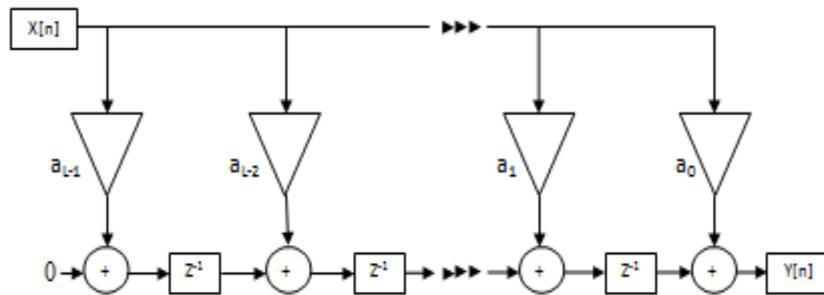


Figura 3.13: Filtro FIR forma transpuesta

<sup>32</sup> Signal Processing with Field Programmable Gate Arrays.

### 3.4.5. Estructura del Diseño y hardware a utilizar

En el desarrollo del filtro se aprovechara la arquitectura del FPGA el cual dispone de 20 multiplicadores dedicados implementados en él, la figura 3.14, se puede apreciar la variación de implementación transpuesta.

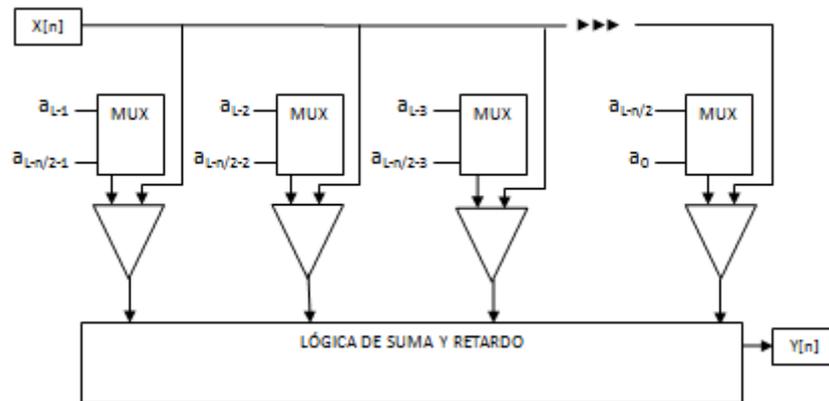


Figura 3.14: Arquitectura de Filtro FIR

Con esta variación en la arquitectura podremos realizar operaciones de productos en 2 periodos de tiempo, es decir podemos realizar las operaciones de multiplicación de los pesos del filtro con la señal de entrada, obteniendo el producto de la primera mitad de los coeficientes del filtro, y luego el producto de la segunda mitad, y almacenar estos productos en registros, para luego realizar el proceso de retardo, suma y desplazamiento de registros.

En la figura 3.15 se muestra el diagrama de bloques de la estructura del filtro a implementar, el cual está compuesto por multiplicadores, memorias, registros, multiplexores y sumadores.

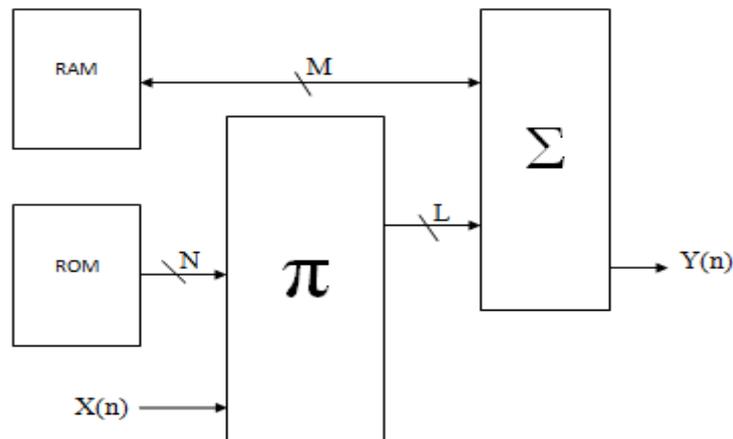


Figura 3.15: Estructura del filtro a Implementar

Realizaremos el diseño con 40 sumas de productos, para así lograr un mejor filtraje, en la realización de dicho diseño se utilizara la máquina de estado algorítmico (MEA) [23], la cual dividirá el diseño en 2 partes (Anexo D1), unidad de control (UC) y la unidad de proceso (UP).

El FPGA dispone de módulos DCM (digital clock managers), los cuales tienen la propiedad de multiplicar, dividir, desfasar la frecuencia de entrada como se ve en la figura 3.16 del software ISE web pack; distribuyen las señales de reloj por todas las conexiones del dispositivo; como necesitamos una señal de reloj de 20Mhz a partir 50Mhz utilizaremos la propiedad DLL (Delay locked loop), esta propiedad nos permite dividir exactamente en 2.5 la frecuencia de entrada y así obtener los 20Mhz necesarios para los Pmod.

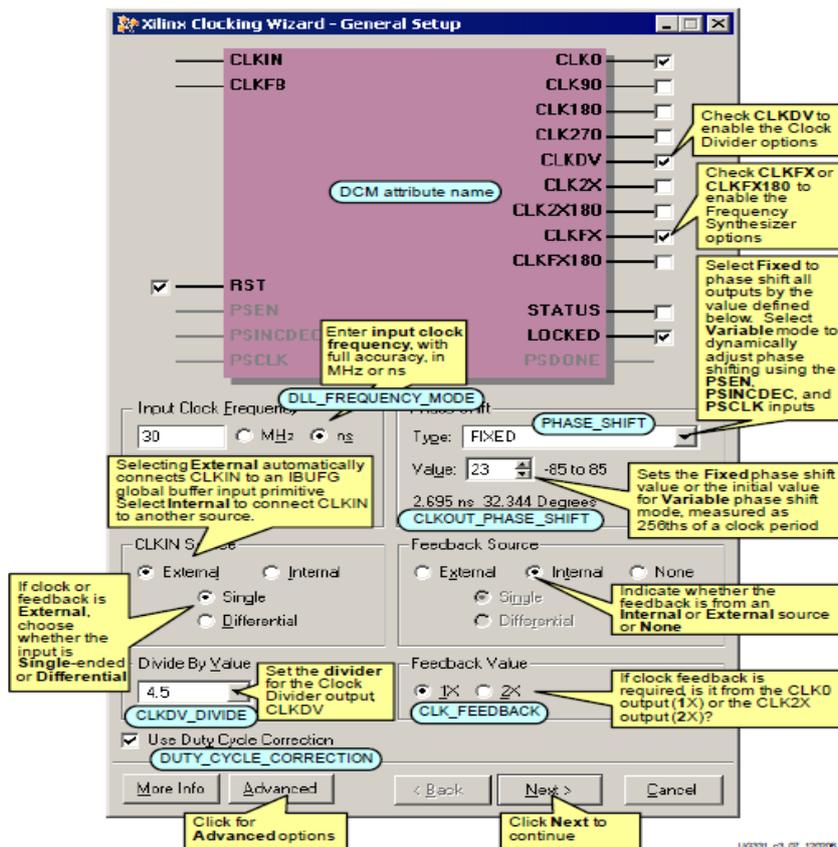


Figura 3.16: DCM y funciones que puede realizar

EL FPGA cuenta con 4 DCM (AnexoD2), para diversas aplicaciones una de ellas es reducir o eliminar el skew o distorsión oblicua, que se genera por el recorrido de las señales de reloj en estos dispositivos. Adicionalmente se realizará un divisor de frecuencia en VHDL [24], para las pruebas a realizar con menor frecuencia, debido a que los DCM permiten dividir hasta un límite en el DLL.

Para el poder utilizar los multiplicadores del FPGA, utilizaremos los bloques de multiplicación que posee, para ello nos valdremos de las propiedades del Xilinx, la cual nos da una librería para el uso de estos multiplicadores (Anexo D3), estos multiplicadores tendrán una latencia [25] de 4 pulsos de reloj para obtener un producto; al tener el multiplicador lo siguiente es implementar los 20 multiplicadores, para ello nos valdremos de una sentencia en VHDL, el **For Generate**, esta sentencia toma un diseño ya realizado y lo genera la cantidad de veces que indica el For, en este caso lo genera 20 veces. Además

dispondremos del uso de paquetes la cual es una colección de declaraciones que pueden ser utilizado por otras descripciones en VHDL, así realizaremos un paquete para la memoria ROM (anexo D4) y sus datos después serán llamados en otras sentencias VHDL.

### 3.4.6. Lógica de Diseño del EKG

Con el diagrama de bloques estructurado, podemos diseñar la lógica de control para poder procesar las señales obtenidas por el amplificador de bioinstrumentación, en la figura 3.17 se observa el flujograma, el cual controlara la UP de la figura 3.14, y a su vez controlara las 40 sumas de productos que se realizará en 2 etapas, y lo almacene en 40 registros. Además dispondremos de registros para almacenar en forma temporal la suma de productos y demás operaciones realizadas.

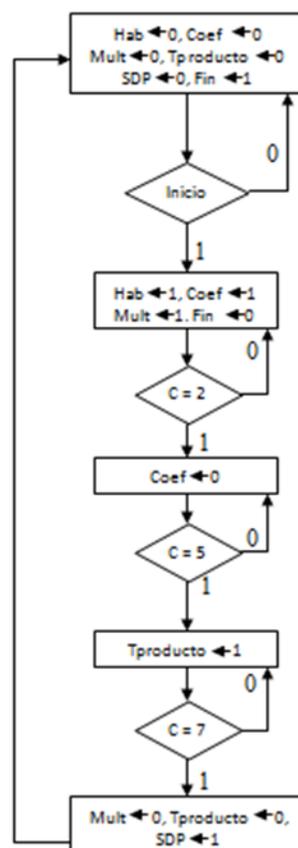


Figura 3.17: Flujograma unidad de control.

En el flujograma se aprecia las señales que irán hacia la UP y a su vez la unidad de proceso envía una señal C, la cual es un contador, que le indicara a UC el momento exacto para pasar al siguiente estado, ya sea para realizar el traslado de los valores de los coeficientes y/o la multiplicación de la entrada con los coeficientes, realizándolo en 2 grupos de 20 operaciones a la vez, terminando con la suma de las 40 operaciones, en una sola operación.

Las señales a enviar a unidad de proceso son:

- Hab: Habilita al contador para realizar la cuenta la cual indicara a la UC el paso al siguiente estado.
- Coef: Habilita el paso de los pesos desde la memoria hacia los registro que los contendrá en forma momentánea.
- Mult: Habilita la multiplicación de los pesos con la señal de entrada.
- Tproducto: Traslada el producto de los multiplicadores hacia registros los cuales los contendrá para la operación de suma.
- SDP: Suma los productos almacenados en los registros de Tproducto, y esa suma será almacenada en registros, el último registro tendrá el valor acumulado el cual será la salida del filtro.
- Fin: Esta señal le indica a UP que ya se realizó una operación de filtraje y que el dato está listo para ser enviado a otra etapa o al Pmod2 para su representación analógica.

Una vez definidas las señales, se podrá estructurar el filtro en diagramas de bloques, para poder ser llevado a implementación en el FPGA (Anexo D5). En el diagrama de tiempos de la implementación se puede apreciar la interacción de las señales, se observa como una operación de filtrado se realiza mucho antes que el PmodAD1 entregue la siguiente muestra, y la vez entrega la muestra filtrada al PmodDA2 (anexo D6).

Al diseñar el EKG, vemos que es factible el desarrollo de un segundo EKG debido a que no se han utilizado todos los recursos del FPGA, aprovechando que el PmodAD1 tiene 2 conversores análogos a digitales, podremos implementar un segundo filtro con otra memoria adicional (anexo D7), para ello se adicionara en las sentencias VHDL un canal y registros, para el segundo canal de adquisición, y de esta manera podremos implementar un EKG de 2 canales de frecuencias diferentes. En la figura 3.18 vemos la modificación en la UP para realizar el 2° filtro

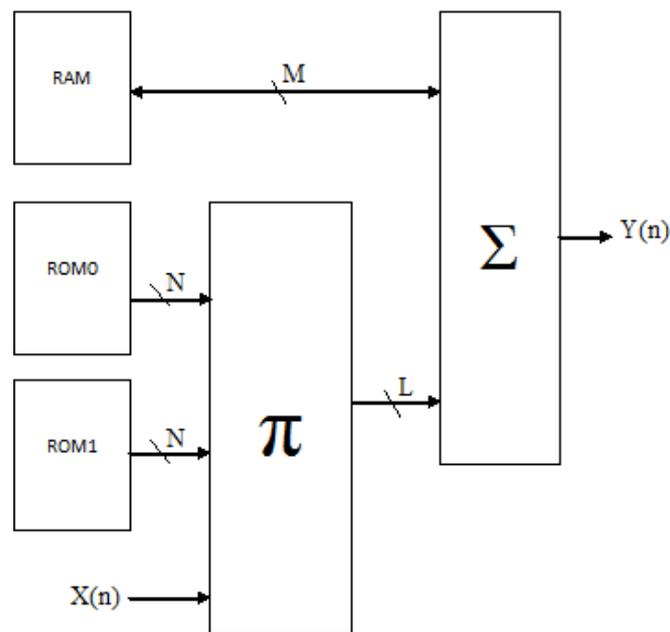


Figura 3.18: UP con 2 Filtros y 2 memorias ROM

Para poder realizar 2 filtros en el FPGA con 20 multiplicadores, tendremos que realizar cambios en la UP, adicionando mayor cantidad de registros para el almacenamiento de las operaciones de cada filtro, esto conlleva a rediseñar la UC para el control, almacenaje y operación de cada filtro.

En el flujograma de la figura 3.19, podemos apreciar que anulamos la señal Hab, debido a que la señal Mult permanece activa desde que inicia el proceso de filtraje hasta que el dato es enviado al PmodD2, el cual se ha realizado cambios para realizar la conversión digital a analógico del 2° filtro; el control es similar al EKG de un canal, se diferencia

en que las señales del segundo EKG se activan mientras aun se realiza las operaciones del primer EKG.

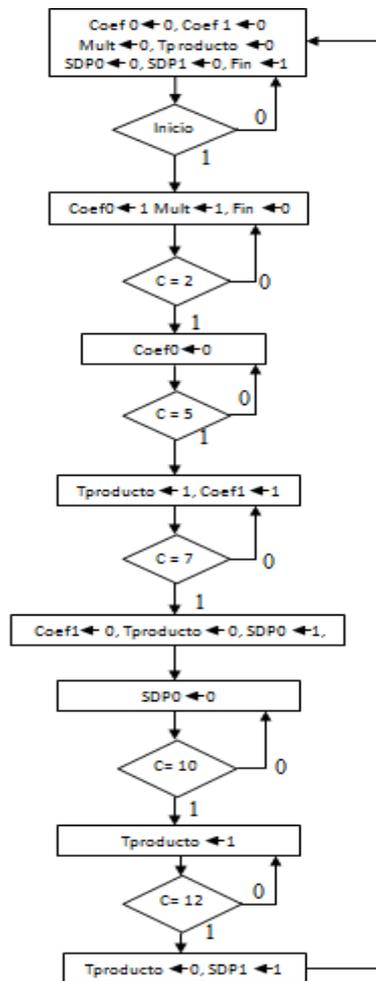


Figura 3.19: diagrama de flujo de 2 EKG

Para lograr que las operaciones de el filtrado de cada EKG se realicen, se debe tomar en cuenta de que la frecuencia de reloj del Modulo FIR, debe ser más rápida que la frecuencia de muestreo de los PMods, para ello pondremos una frecuencia que sea 2.5 veces la frecuencia de muestreo, para asegurarnos de que esta frecuencia sea la suficiente para los procesos de la máquina de estados, y darle un tiempo adicional a la espera de la siguiente muestra (Anexo D8).

### 3.4.7. Lógica de diseño del Pulsioxímetro

En el desarrollo del pulsioxímetro, se toma el diseño del filtro FIR de 2 canales, la única variante a realizar es en la adquisición de las señales, en el pulsioxímetro la muestra es tomada en 2 tiempos diferentes, a diferencia en el FIR de 2 canales, el cual las muestras son adquiridas en mismo periodo de tiempo. Esto es debido a que el fotopleletismógrafo posee 2 diodos led con longitudes de ondas diferentes para poder captar la oxihemoglobina y la hemoglobina reducida, el cual se muestra en la figura en la figura 3.20.

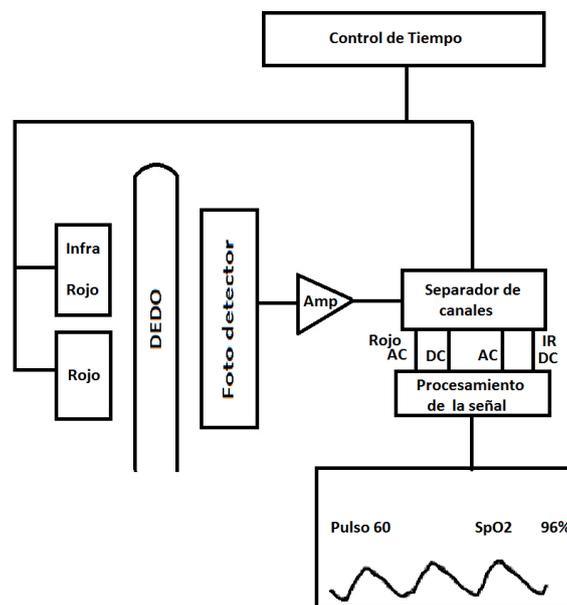


Figura 3.20: Diagrama de control del Fotopleletismógrafo

Observamos como la luz infrarroja y roja es controlado por un controlador de tiempos, estas luces pasan a través del dedo y llegan al fotoreceptor en periodos de tiempos diferentes, la señal del fotoreceptor llega a un separador de canales, esta separa la señal de la luz roja de la infrarroja para su posterior análisis.

En la descripción VHDL del ADCS7476, se realizara las variantes correspondientes (Anexo D9), para que este modulo no solo obtenga las muestras por el conversor AD, si no también envíe señales de activación para la luz roja e infrarroja y pueda adquirir la

muestra de cada luz por un solo canal a su debido tiempo, es decir tendrá el control de tiempos para activación de cada señal (Anexo 10).

Para realizar el control de tiempos hay que tomar en cuenta que ahora el ADCS7476 obtendrá 2 muestras por cada canal, es decir que tomara 33 pulsos de reloj para adquirir 2 muestras, después mandara la señal para que el bloque FIR realice las operaciones de filtrado, esto significaría un cambio en el divisor de frecuencia, debido a que el tiempo de adquisición para las 2 muestras sería el doble que para una muestra, por ello la frecuencia de reloj para el ADCS7476 sería el doble para poder conservar los coeficientes calculados para los demás diseños, o se realizaría un nuevo cálculo en los coeficientes con el Matlab, así conservaríamos la misma frecuencia en el divisor de frecuencia.

### **3.5. Variaciones en el Diseño**

Las variaciones que se realizaría en el diseño, sería en los pesos del filtro y la frecuencia de muestreo, para poder realizar procesos de filtrados a diferentes frecuencias, como el realizado en el primer diseño, se realizo cálculos a la frecuencia de muestro de 1Mmps, el cual dio como resultado que el filtro cortara a una frecuencia muy alta, esto se pudo apreciar en el inciso 3.3.2, cuando calculamos los pesos con el Matlab observamos que la frecuencia de corte no se realizaría en 150hz si no en 16.54Khz, para lograr el corte a la frecuencia deseada se redujo la frecuencia de muestreo del PmodAD1.

El PmodAD1 trabajaba desde 10Khz a 20Mhz, con este rango podemos obtener la frecuencia deseada para el desarrollo de filtros a diferente frecuencia de muestreo, para ello se dejo de utilizar los DCM debido a que el DLL solo permite la división de frecuencia hasta un máximo de frecuencia en Mhz, por ello utilizamos un divisor de frecuencia en VHDL, la cual podremos obtener frecuencias en Khz a partir de la frecuencia base de 50Mhz, esto conlleva a realizar nuevos cálculos en el matlab para obtener diferentes pesos para los filtro que se desea diseñar, esto conlleva variar también

el contenido de las memorias ROM ya que ellas son las que almacenan el peso de los filtros.

Entonces para el desarrollo de nuevos filtros se podrá utilizar ya sea los módulos DLL, o los divisores de frecuencia en VHDL, según la necesidad de cada filtro.

En el diseño se calculará la frecuencia de trabajo para el PmodAD1, para que trabaje en el rango filtrado de 0.05 a 150 Hz. Entonces recordemos que la frecuencia de muestreo ( $F_s$ ) es mayor o igual a 2 veces Frecuencia (F) a muestrear ( $F_s \geq 2F$ ), entonces si trabajamos en el rango de 0 a 150 Hz en los diseños, la  $F_s$  será por lo menos de 300hz.

Pero como la frecuencia mínima de trabajo del PmodAD1 es de 10Khz, la frecuencia de muestreo que obtendremos será:

$$F_s = \frac{1}{\frac{1}{F_{PmodAD1}} \times 16}$$

$$F_s = \frac{1}{\frac{1}{10 \times 10^3} \times 16} = 625Hz$$

Esta será la nueva frecuencia de muestreo para calcular en la herramienta Fdatool de matlab, y obtener nuevos coeficientes para los filtro del EKG, la frecuencia de muestreo  $F_s = 1250Hz$ , la utilizaremos para obtener los coeficientes para el Oxímetro de pulso.

# CAPITULO IV

## HARDWARE E INTERFACE

### **4.1. Interface en Hardware y Software**

Como se mencionó al principio de la investigación, el objetivo es dar las pautas para el desarrollo de equipos médicos, en el capítulo III (3.1 y 3.2), se estableció la forma de adquisición tanto para el EKG y el Pulsioxímetro, ahora se darán para la representación gráfica y el envío de información de los datos adquiridos hacia una PC.

Para poder realizar la transferencia de los datos adquiridos en la tarjeta Nexys 2, es necesario el desarrollo de una tarjeta adicional el cual llamamos NEXYS – PIC, la cual contiene un conector Hirose 100, microcontrolador PIC18F4550, conector USB, y conectores para GLCD (Anexo E1), esta tarjeta nos ayudara adicionalmente a transferir los datos a una PC que posea un puerto USB.

Adicionalmente, se utilizaron software de programación de PIC, el Mikrobasic, se utilizó por la ventaja de tener en su base de datos el PIC18F4550, y módulos de diseño GLCD y USB además cuenta con un terminal HID [26], para realizar pruebas con el USB, la simulación se llevo en Proteus por la ventaja de poder utilizar el pic18F4550 pantallas graficas y conector USB. De esta manera se pudo determinar el diseño de la placa NEXYS – PIC.

### 4.1.1. Conector Hirose 100

El conector Hirose el cual es mostrado en la figura 4.1, es un conector de alta velocidad el cual posee la tarjeta Nexys 2, aprovecharemos este conector para enviar la información al microcontrolador, para ello, en el desarrollo de los filtros de dos canales se agregó una salida multiplexada para poder enviar información de los 2 filtros, una a la vez, a la activación de la señal fin el microprocesador, se podrá seleccionar el canal para que le llegue la información al puerto del microcontrolador, para la administración de los datos, es decir se mostrar en el GLCD o se enviara por el puerto USB.

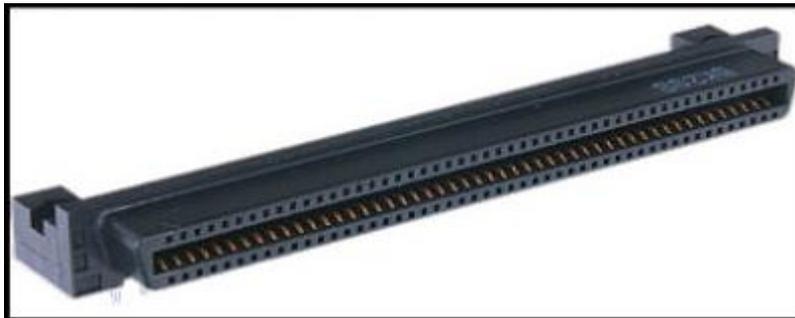


Figura 4.1: Conector Hirose FX2-100S-1.27DS<sup>33</sup>

La ventaja de utilizar este conector, es que soporta señales que exceden a los 100Mhz, cualquier pin en el FPGA está ruteado como par diferencial, y 47 pines del conector están conectados a tierra, dando como resultado un sistema de bajo ruido.

### 4.1.2. Microcontrolador PIC 18F4550

Este microcontrolador de la familia de Microchip, posee un modulo USB 2.0, el cual soporta velocidades de 1.5Mb/s (baja) y 12Mb/s (full velocidad), posee 32Kbytes de memoria flash y 13 canales de conversión análogo a digital de 10 bits, entre otros beneficios.

---

<sup>33</sup> <http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,395,461&Prod=FX2SOCKET>

Con este microcontrolador realizaremos la etapa de representación gráfica, y el envío de los datos a través del puerto USB (Anexo E2).

Posee un modulo PLL el cual se encargara de generar 48Mhz, a partir de frecuencias desde 4Mhz, esta frecuencia es necesaria para activar el modulo USB y la oscilación interna del PIC, en la figura 4.2 se puede apreciar el control interno del PLL y el reloj del pic.

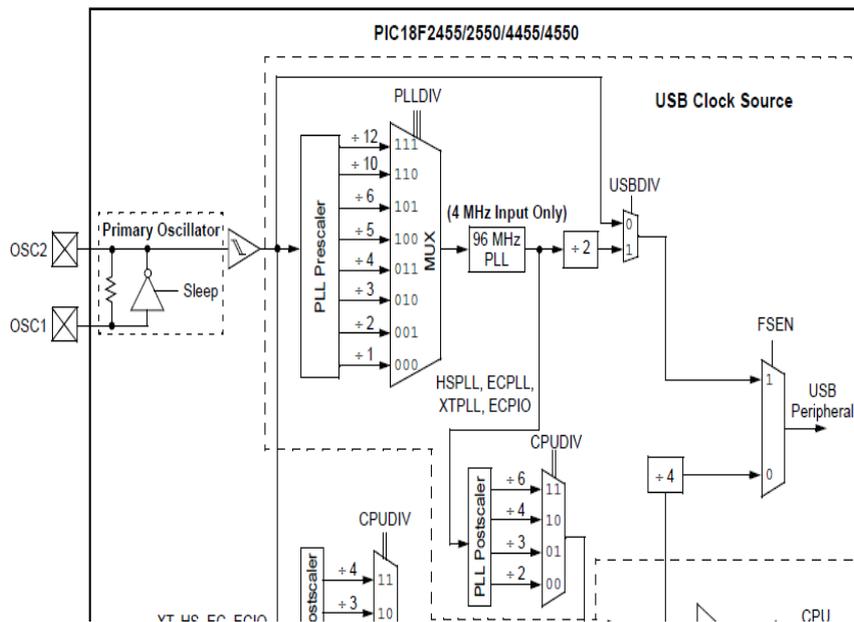


Figura 4.2: diagrama de reloj PIC18F4550<sup>34</sup>

### 4.1.3. Pantalla Gráfica NHD-240128WG-BTMI-VZ

La pantalla GLCD NHD -240128WG, posee un controlador T6963C de Toshiba, el cual controlara las funciones gráficas de la pantalla es alimentado por una fuente única de 5 voltios la cual facilita la alimentación de la pantalla y el contraste de este, en la figura 4.3 se observa la forma de conexionado a cualquier microprocesador.

<sup>34</sup> <http://pdf1.alldatasheet.com/datasheet-pdf/view/195394/MICROCHIP/PIC18F2550.html>

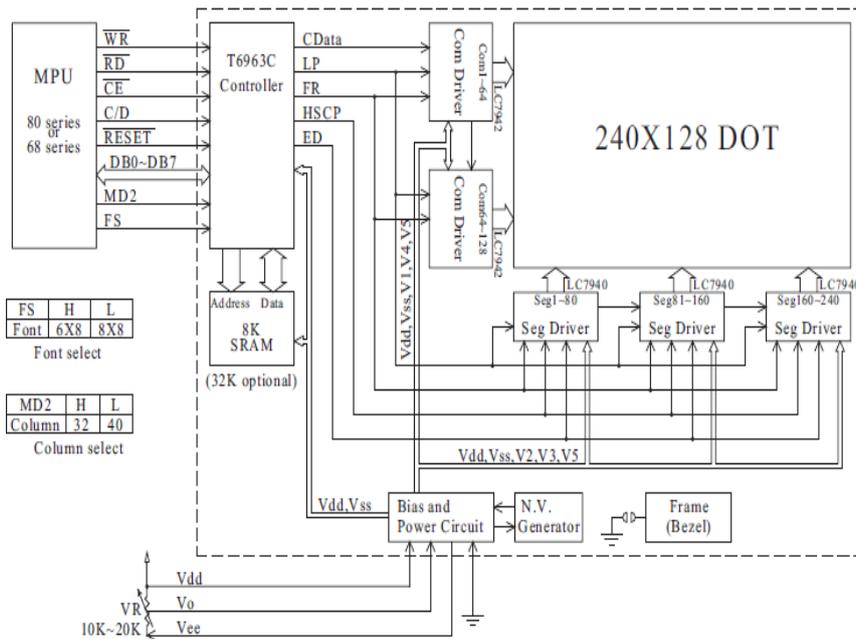


Figura 4.3: Conexión de la pantalla GLCD a microprocesador<sup>35</sup>

La ventaja de esta pantalla es la utilización de una sola fuente de alimentación, a comparación de otras GLCD, tiene una duración de 50000 horas, lo que garantiza una larga vida útil.

#### 4.2.1. USB NEXYS 2

Este software fue diseñado en Visual Studio Net, permite la comunicación entre la PC y el Microcontrolador PIC, es software de prueba para realizar la comunicación, está diseñado para realizar un eco con el PIC y el USB NEXYS 2; para lograr la comunicación al software se utiliza una biblioteca de enlace dinámico o DLL [27], el cual permite activar los puertos USB de la PC, y esta a la espera en que reconozca VID (Información del vendedor), y el PID (Información de Producto) del PIC, el cual se le programa

<sup>35</sup> <http://www.newhavendisplay.com/specs/NHD-240128WG-BTMI-VZ.pdf>

conteniendo esta información, la cual es necesaria para que se reconozca el dispositivo USB que se conecta a la PC.

Gracias a esta información que otorga el VID y el PID, sabremos si nuestro dispositivo está conectado o no, el software indicara si el modulo USB está conectado (Anexo E3), y se encuentra listo para la transferencia de datos (Anexo E4).

# CAPITULO V

## EQUIPOS EN EL MERCADO Y GASTOS DE IMPLEMENTACIÓN

### 5.1. Equipos Médicos en el mercado

Compararemos los diseños realizados, con 2 equipos médicos que se encuentran actualmente en el mercado, compararemos sus costos y ventajas. Uno de los equipos que encontramos es el electrocardiograma ar 1200 view bt-se.ref (Anexo F2). Y el Oxímetro de pulso Nonin avant 9600 (Anexo F3), cuyas características y comparaciones se muestran a continuación :

<b>Equipo:</b>	<b>ar 1200 view</b>	<b>EKG</b>
Pantalla	Backlight graphic display 320x240 pxls	Backlight graphic display 240x128 pxls
Impedancia de entrada	100 Mohm por cada electrodo	10000 Mohm en modo diferencial o común
Rejección en modo común	> 100db	> 100db
Respuesta en Frecuencia	0.05 - 150	0.05 - 150
Número de canales de adquisición	3 canales	1 ó 2 canales
Adquisición	11 bit, 1000 muestras por canal/filtro 500 muestras por canal/cálculo en canal y resolución de filtros 5 MicroV/bit	12 bit, 625 muestras por canal/filtro 625 muestras por canal/cálculo en canal y resolución de filtros 805.86 MicroV/bit
Filtros	Filtro notch modificado 50 - 60 Hz, con switch on/off, filtro digital pasaalto 0.05 Hz, fase lineal, siempre habilitado y sin distorsión	Filtro notch por implementar, filtro digital pasabanda 0.05 - 150 Hz, fase lineal, siempre habilitado y sin distorsión
Interface Serial	Infrarojo o bluetooth, según versión	Conexión Usb 2.0, por microcontrolador a Full speed 12 Mb/s

Tabla 5.1: EKG vs ar 1200 view

<b>Equipo:</b>	<b>Avant 9600</b>	<b>Oxímetro</b>
Rango de Saturación de oxígeno	0% a 100%	0% a 100%
Pantalla	display numérico de 3 dígitos tricolor (rojo, ámbar, verde), indicador de resistencia, indicador de calidad de pulso	Backlight graphic display 240x128 pxls
Exactitud	<u>Sin movimiento:</u>	Configurable en 3 dígitos para todos los casos
	adultos, Pediátricos 70 - 100% $\pm 2$ dígitos.	
	neonatales 70 - 100% $\pm 3$ dig.	
	<u>Movimiento:</u>	
	adultos, Pediátricos 70-100% $\pm 2$ dígitos.	
	neonatales 70-100% $\pm 3$ dig.	
<u>Baja perfusión:</u>		
adultos, Pediátricos 70 - 100% $\pm 2$ dígitos.		
neonatales 70 - 100% $\pm 3$ dig.		

Tabla 5.2: Oxímetro vs Nonin Avant 9600

## 5.2. Gastos de la implementación

El diseño final se implementará en una sola tarjeta principal, la cual contendrá el FPGA de la tarjeta Nexys 2, y el microcontrolador del Nexys - Pic, y salidas para la conexión del GLCD, y las tarjetas de adquisición, es por este motivo que los gastos se dividirán en diferentes tablas; gastos de la tarjeta principal, y gastos de las tarjetas de adquisición según el diseño a implementar.

En la tarjeta Principal se implementara la etapa de proceso, donde se realizará acabo la conversión análoga a digital de las etapas de adquisición según el diseño a implementar, se realizara la etapa de filtrado en el FPGA y la administración de los datos en el microcontrolador para su representación visual. El cálculo del presupuesto que se realiza es un estimado, de acuerdo a la experiencia y componentes utilizados en las tarjetas de prototipo utilizadas en la implementación. Los precios de los equipos con los cuales compararemos serán el ar 1200 view bt-se.ref. a un precio de **€1,542.30**<sup>36</sup> Oxímetro de pulso Nonin avant 9600 precio de venta **\$1,295.00**<sup>37</sup>.

---

<sup>36</sup> <http://www.solostocks.com/venta-productos/salud/material-sanitario-instrumental/cardioline-electrocardiografos-electrocardiografo-ar-1200-view-bt-se-ref-5797369>

<sup>37</sup> <http://www.pmedicalonline.net/servlet/the-40/Nonin-9600-Oximetro-mesa/Detail>

Item	Descripción	Cantidad	Precio	Total \$
	<b>Procesamiento</b>			
1	XC3S500E - 4CPG132	1	23.010	23.01
2	GLCD NHD-240128WG-BTMI-VZ	1	62.500	62.50
3	PIC18F4550-I/P-ND	1	6.800	6.80
4	Oscilador XC345CT-ND	1	5.550	5.55
5	USB conector	1	0.360	0.36
6	Cristal 20Mhz	1	0.750	0.75
7	Resistencia 10K	2	0.180	0.36
	<b>Conversión A/D</b>			
8	ADCS7476	2	4.170	8.34
9	NL27WZ17DF	1	0.500	0.50
10	LMV712MM/NOPB	2	1.880	3.76
11	10K SMD	4	0.180	0.72
12	1K SMD	4	0.180	0.72
13	2K SMD	2	0.180	0.36
14	100 SMD	2	0.180	0.36
15	2.2uF	1	0.180	0.18
16	0.1uF	5	0.180	0.90
17	470uF	2	0.180	0.36
18	220uF	2	0.180	0.36
19	Diodos	4	0.180	0.72
	<b>Reguladores</b>			
20	LTC3545	1	6.200	6.20
21	LTC1844	1	2.880	2.88
22	Bobina 2.2uH (CC453232-2R2KL-ND)	2	0.720	1.44
23	Bobina 10uH (445-3186-1-ND)	1	0.770	0.77
24	10K ohm SMD	6	0.180	1.08
25	511 ohm SMD	2	0.180	0.36
26	10uF	3	0.180	0.54
27	22uF	3	0.180	0.54
28	300 ohm	1	0.180	0.18
29	680 ohm	1	0.180	0.18
30	4.7uF	2	0.180	0.36
31	10nF	1	0.180	0.18
	<b>Total</b>			127.13

Tabla 5.3: Tarjeta Principal

Item	Descripción	Cantidad	Precio	Total \$
1	Conector Straight Header 20 pin	3	2.290	6.87
2	Cable Flat x 3mts	1	6.040	6.04
3	Polarized Boardmount Socket	3	2.210	6.63
	<b>Total</b>			19.54

Tabla 5.4: Conectores

Item	Descripción	Cantidad	Precio	Total \$
	<b>Adquisición</b>			
1	INA326	1	5.400	5.40
2	OPA2335	2	4.560	9.12
3	OPA335	1	3.330	3.33
4	REF345	1	3.470	3.47
5	40 Kohm	2	0.180	0.36
6	390 ohm	4	0.180	0.72
7	200 Kohm	1	0.180	0.18
8	20 Kohm	1	0.180	0.18
9	5 Kohm	1	0.180	0.18
10	1 Mohm	1	0.180	0.18
11	3.2 Mohm	1	0.180	0.18
12	100 ohm	2	0.180	0.36
13	750 pF	1	0.180	0.18
14	1 uF	2	0.180	0.36
15	0.0015 uF	1	0.180	0.18
16	0.1 uF	2	0.180	0.36
17	10 uF	1	0.180	0.18
	<b>Total</b>			24.92

Tabla 5.5: Electrocardiograma<sup>38</sup>

<sup>38</sup> Presupuesto calculado del diseño del anexo F3

Item	Descripción	Cantidad	Precio	Total \$
	<b>Adquisición</b>			
1	OPA335	2	3.330	6.66
2	REF345	1	3.470	3.47
3	100 Kohm	2	0.180	0.36
4	99 Kohm	4	0.180	0.72
5	1 Kohm	1	0.180	0.18
6	1.6 Kohm	2	0.180	0.36
7	100 ohm	1	0.180	0.18
8	2.2 uF	1	0.180	0.18
9	Led IR 900nm	1	2.240	2.24
10	Led Rojo 650nm	1	0.800	0.80
	<b>Total</b>			15.15

Tabla 5.6: Oxímetro de Pulso<sup>39</sup>

Instrumento	Tarjeta Principal	Conectores	Adquisición	Otros*	Total US\$
EKG	127.13	19.54	24.920	700.00	871.59
Oxímetro	127.13	19.54	15.150	700.00	861.82
	<b>Total</b>				1733.41

Tabla 5.7: Diseño Final

\*Se considera un gasto de US\$500 en la fabricación de la tarjeta y cualquier por menor no previsto durante la fabricación de la tarjeta, además se acota los gastos por el tiempo invertido para la programación del microcontrolador.

<sup>39</sup> Presupuesto calculado del Fotopleletismógrafo de la pag. 42

# CONCLUSIONES Y/O RECOMENDACIONES

De acuerdo con los objetivos propuestos al principio de la investigación, y habiendo concluido con este plan de tesis, llegamos a las siguientes observaciones y conclusiones:

1. Se establecieron las pautas de diseño de dos equipos médicos, el EKG y el Oxímetro de Pulso, los cuales se diseñaron a través de su principio de funcionamiento de cada equipo, y observando que la adquisición de los equipos es diferente, pero la realización de filtrado es igual en ambos casos.
2. Se pudo reducir los costos del área de implementación, al utilizar FPGA, ya que se puede desarrollar un gran número de elementos lógicos, en un pequeño dispositivo reconfigurable y complementar el diseño con el control del microcontrolador para administrar los datos obtenidos.
3. Se desarrollo filtros digitales de un gran número de coeficientes, optimizando el proceso de operaciones realizadas por el filtro.
4. Se comprobó la aplicación de lógica embebida en el diseño de equipos médicos, y a través ellos se pudo confirmar la integración de 2 estilos de diseño diferentes como el FPGA y los microcontroladores.
5. A través de experimentación se pudo determinar que el diseño de los filtros con maquina de estados es viable y además estable.
6. La herramienta Fdatool del matlab es una poderosa herramienta para el cálculo de los pesos; ahorrándonos tiempo en la realización de cálculos matemáticos; la respuesta en frecuencia, es muy similar en la práctica.
7. Gracias a la máquina de estados se pudo diseñar un filtro FIR de 40 coeficientes, a partir de una estructura física 20 multiplicadores en el FPGA, también gracias a ella se pudo diseñar 2 filtros con la misma estructura, la cual fue necesaria para el desarrollo del pulsioxímetro.
8. Se comprobó que desarrollar sistemas complejos es posible, para el desarrollo de sistemas electrónicos actuales, es necesario el uso de FPGA y lógica embebida, debido a que reducen el área a implementar y su velocidad de trabajo es impresionante.
9. Debido al corto tiempo que se tuvo para el diseño de los sistemas, no se logro desarrollar un sistema completo como se hubiese deseado, pero se dejaron las pautas y el desarrollo de la tarjeta Nexys 2 Interface, para en un futuro se pueda integrar dichos sistemas y tener un equipo médico al 100%; esto se debió a que en el desarrollo en VHDL y pruebas en el FPGA se tomo la mayor parte del tiempo de diseño y desarrollo.

# BIBLIOGRAFIA

Proakis, John G.; Manolakis, Dimitris: Tratamiento Digital de Señales. Prentice Hall, Madrid 1998

Ashok Ambar, Procesamiento de señales analógicas y digitales, Thomson Learning, 2<sup>da</sup> ed., México, 2002.

Uwe Meyer – Baese, Digital Signal Processing with Field Programmable Gate Arrays, Springer, 1<sup>era</sup> ed., Alemania, 2001.

Douglas L. Perry, VHDL Programming by Example, McGraw – Hill, 4<sup>ta</sup> ed., united State of America, 2002.

E. Lecha, M. More, S. Olcoz, T. Riesgo, F. Rincón, P. Sánchez, L. Terés, E. del a Torre, Y. Torroja, J. Vidal, E. Villar, y J. Uceda, VHDL LENGUAJE ESTANDAR DEL DISEÑO ELECTRONICO, McGraw – Hill/Internacional de España S.A.U., 1<sup>era</sup> ed., España, 1998.

# GLOSARIO DE TÉRMINOS

[1] **Muestra:** Sangre centrifugada donde se separan los glóbulos rojos, plaquetas y solo permanece el suero.

[2] **reactivos:** Es toda sustancia que interactúa con otra en una reacción química que da lugar a otras sustancias de propiedades, características y conformación distinta, denominadas reacción.

[3] **reacción:** es todo proceso químico en el cual dos o más sustancias (llamadas reactantes), por efecto de un factor energético, se transforman en otras sustancias llamadas productos.

[4] **Microprocesador:** Es un circuito integrado que incorpora en su interior una unidad central de proceso (CPU) y todo un conjunto de elementos lógicos que permiten enlazar otros dispositivos como memorias y puertos de entrada y salida (I/O), formando un sistema completo para cumplir con una aplicación específica dentro del mundo real.

[5] **PLD:** Dispositivo Lógico Programable, es un circuito que puede ser configurado por el usuario para ejecutar una o varias funciones lógicas.

[6] **RS232:** Es una interfaz que designa una norma para el intercambio serie de datos binarios entre un DTE (Equipo terminal de datos) y un DCE (Equipo de Comunicación de datos).

[7] **CPLD:** Dispositivo lógico programable complejo, extienden el concepto de un PLD a un mayor nivel de integración ya que permite implementar sistemas más eficaces, ya que utilizan menor espacio, mejoran la fiabilidad del diseño, y reducen costos.

[8] **FPGA:** Arreglos de compuertas programable en campo, es un dispositivo semiconductor que contiene bloques de lógica cuya interconexión y funcionalidad se puede programar.

[9] **Microhematocrito:** Es un método de centrifugación que utiliza pequeños volúmenes de sangre, para determinar el nivel de hematocritos.

[10] **nucleoproteínas:** es una proteína que está estructuralmente asociada con un ácido nucleído (que puede ser ARN o ADN).

[11] **lipoproteínas:** son complejos macromoleculares compuestos por proteínas y lípidos que transportan masivamente las grasas por todo el organismo.

[12] **Eeprom:** son las siglas de Electrically-Erasable Programmable Read-Only Memory (ROM programable y borrrable eléctricamente). Es un tipo de memoria ROM que puede ser programado, borrado y reprogramado eléctricamente, a diferencia de la EPROM que ha de borrarse mediante un aparato que emite rayos ultravioletas. Son memorias no volátiles.

[13] **Electrocardiograma:** (ECG/EKG, del alemán Elektrokardiogramm) es la representación gráfica de la actividad eléctrica del corazón, que se obtiene con un electrocardiógrafo en forma de cinta continua.

[14] **Rechazo al modo común:** (o CMRR, de las siglas inglesas Common Mode Rejection Ratio) es uno de los parámetros de un amplificador operacional (o AOP). En un conjunto de AOPs configurados como amplificador de instrumentación, cuando el voltaje 1 ( $V_-$ ) y el voltaje 2 ( $V_+$ ) son iguales, existe una pequeña señal de salida, cuando lo ideal sería que esta fuera cero. La CMRR es una medida del rechazo que ofrece la configuración a la entrada de voltaje común.

[15] **Saturación de oxígeno:** Prueba que mide la cantidad de oxígeno que llevan los glóbulos rojos.

[16] **La oxihemoglobina o hemoglobina oxigenada:** ( $HbO_2$ ) es la hemoglobina cuando está unida al oxígeno, dando el aspecto rojo intenso característico de la sangre arterial.

[17] **hemoglobina reducida:** es la pérdida del oxígeno, y presenta el color rojo oscuro de la sangre venosa.

[18] **Efecto Gibbs:** consiste en la aparición de un pico del 9% en el punto de discontinuidad. Este efecto se da incluso cuando se emplea un número grande de armónicos para la reconstrucción de la señal.

[19] **Memorias RAM:** La memoria de acceso aleatorio, es un tipo de memoria a la que se puede acceder aleatoriamente; es decir, se puede acceder a cualquier byte de memoria sin acceder a los bytes precedentes. La memoria RAM es el tipo de memoria más común en ordenadores y otros dispositivos como impresoras.

[20] **Antialiasing:** Procesos que permiten minimizar el aliasing (efecto que causa que señales continuas distintas se tornen indistinguibles cuando se les muestrea digitalmente), cuando se desea representar una señal de alta resolución en un sustrato de más baja resolución.

[21] **Complemento a 2:** El complemento a dos de un número  $N$  que, expresado en el sistema binario está compuesto por  $n$  dígitos, se define como:

$$C_2^N = 2^n - N$$

[22] **BCD** Decimal codificado a binario, es un sistema numérico usado en sistemas computacionales y electrónicos para codificar números enteros positivos y facilitar las operaciones aritméticas.

[23] **MEA:** Máquina de estado Algorítmico es un método para el diseño de Máquina de estados finitos. Se utiliza para representar los diagramas de circuito integrados digitales.

[24] **VHDL:** Es el acrónimo que representa la combinación de VHSIC (Very High Speed Integrated Circuit) y HDL (Hardware Description Language). Es un lenguaje definido por el IEEE usado por ingenieros para describir circuitos digitales. Aunque puede ser usado de forma general para describir cualquier circuito se usa principalmente para programar PLD y FPGA.

[25] **LATENCIA:** diferentes retardos producidos en el acceso a los distintos componentes de una memoria.

[26] **HID:** Dispositivo de interfaz humana, es un tipo de dispositivo para computadores que interactúa directamente con humanos, toman entradas y también pueden entregar una salida para interactuar.

[27] **DLL:** Biblioteca de enlace dinámico (dynamic-link library) es el término con el que se refiere a los archivos con código ejecutable que se cargan bajo demanda de un programa por parte del sistema operativo.

# ANEXOS

## A1: Coeficientes del filtro

0.0037841796875  
0.004058837890625  
0.0048980712890625  
0.0062713623046875  
0.008148193359375  
0.010467529296875  
0.01318359375  
0.0162200927734375  
0.0194854736328125  
0.022918701171875  
0.0264129638671875  
0.0298919677734375  
0.03326416015625  
0.0364227294921875  
0.039306640625  
0.0418243408203125  
0.0439300537109375  
0.045562744140625  
0.0466766357421875  
0.0472412109375  
0.0472412109375  
0.0466766357421875  
0.045562744140625  
0.0439300537109375  
0.0418243408203125  
0.039306640625  
0.0364227294921875  
0.03326416015625  
0.0298919677734375  
0.0264129638671875  
0.022918701171875  
0.0194854736328125  
0.0162200927734375  
0.01318359375  
0.010467529296875  
0.008148193359375  
0.0062713623046875  
0.0048980712890625  
0.004058837890625  
0.0037841796875

## A2: Coeficientes de filtro en representación Hexadecimal

```
; XILINX CORE Generator(tm) Distributed Arithmetic FIR filter coefficient (.COE) File
; Generated by MATLAB(R) 7.7 and the Filter Design Toolbox 4.4.
; Generated on: 19-Jan-2010 18:15:49
;
Radix = 16;
Coefficient_Width = 12;
CoefData = 0F8,
10A,
141,
19B,
216,
2AE,
360,
427,
4FD,
5DE,
6C3,
7A7,
884,
953,
A10,
AB5,
B3F,
BAA,
BF3,
C18,
C18,
BF3,
BAA,
B3F,
AB5,
A10,
953,
884,
7A7,
6C3,
5DE,
4FD,
427,
360,
2AE,
216,
19B,
141,
10A,
0F8;
```

## B1: Descripción VHDL del ADCS7476

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ADCS7476 is
  Port ( CLK : in STD_LOGIC;
        SDATA : in STD_LOGIC;
        INICIO : in STD_LOGIC;
        SCLK : out STD_LOGIC:= '1';
        NCS : out STD_LOGIC:= '1';
        FIN : out STD_LOGIC:= '1';
        DATA: out STD_LOGIC_VECTOR(11 DOWNTO 0));
end ADCS7476;

architecture Behavioral of ADCS7476 is
  SIGNAL PULSOS: STD_LOGIC_VECTOR(4 DOWNTO 0):= B"00000";

begin

Lee_ADC:  Process(CLK)
  VARIABLE DATA_AC: STD_LOGIC_VECTOR(11 DOWNTO 0):=
X"000";

  begin
    if INICIO = '1' then
      if CLK 'EVENT and CLK = '1' then
        FIN <= '0';
        NCS <= '0';
        PULSOS <= PULSOS + 1;
        if PULSOS = 16 then
          Fin <= '1';
          NCS <= '1';
          DATA <= DATA_AC;
          SCLK <= '1';
          PULSOS <= b"00000";
        end if;
      end if;
    end if;

    if CLK 'EVENT and CLK = '0' then
      if SDATA = '1' then
        DATA_AC := DATA_AC(10 downto 0) & '1';
      else
```

```

        DATA_AC := DATA_AC(10 downto 0) & '0';
    end if;
    end if;
    end if;
    SCLK <= CLK;
end Process Lee_ADC;

end Behavioral;

```

## B2: Descripción VHDL para DAC121S101

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity DAC121S101 is
    Port ( CLK : in STD_LOGIC;
           INICIO : in STD_LOGIC;
           DATA : in STD_LOGIC_VECTOR (11 downto 0);
           SCLK : out STD_LOGIC:= '0';
           NSYNC : out STD_LOGIC:= '1';
           DIN : out STD_LOGIC:= '0');
end DAC121S101;

architecture Behavioral of DAC121S101 is
    SIGNAL PULSO: STD_LOGIC_VECTOR(4 DOWNTO 0):= B"00000";

begin

    Escribe_DAC:
        Process(CLK)
            VARIABLE DATA_AC: STD_LOGIC_VECTOR(15 DOWNTO 0);
            VARIABLE Habilita: Bit:= '0';
            Variable Captura: bit:= '1';

        begin

            if CLK 'EVENT and CLK = '1' then

                if INICIO = '1' then

```

```

    if Captura = '1' then
        DATA_AC := B"0000" & DATA;
        Captura := '0';
        Habilita := '1';
    end if;
end if;

if Habilita = '1' then
    NSYNC <= '0';
    DIN <= DATA_AC(15);
    DATA_AC := DATA_AC(14 DOWNT0 0) & '0';
    PULSO <= PULSO + 1;
end if;

if PULSO = 16 then
    NSYNC <= '1';
    PULSO <= B"00000";
    Habilita := '0';
    Captura := '1';
end if;

end if;
SCLK <= CLK;

```

```

end Process Escribe_DAC;

```

```

end Behavioral;

```

## C1: Descripción VHDL del PmodAD1, con complemento a 2

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ADCS7476 is
  Port ( CLK : in  STD_LOGIC;
        SDATA : in  STD_LOGIC;
        INICIO : in  STD_LOGIC;
        SCLK : out STD_LOGIC;
        NCS : out STD_LOGIC:= '1';
        FIN : out STD_LOGIC:= '1';
        DATA: out STD_LOGIC_VECTOR(11 DOWNTO 0));
end ADCS7476;

architecture Behavioral of ADCS7476 is
  SIGNAL PULSOS: STD_LOGIC_VECTOR(4 DOWNTO 0):= B"00000";

begin

Lee_ADC:  Process(CLK,INICIO)
  VARIABLE DATA_AC: STD_LOGIC_VECTOR(11 DOWNTO 0):=
X"000";

  begin
  if INICIO = '1' then
    if CLK 'EVENT and CLK = '1' then
      if PULSOS = 15 then
        FIN <= '0';
        NCS <= '0';
        PULSOS <= PULSOS + 1;
      elsif PULSOS = 31 then
        Fin <= '1';
        NCS <= '1';
        DATA <= not DATA_AC(11) & DATA_AC(10 downto 0);
        PULSOS <= b"00000";
      else
        PULSOS <= PULSOS + 1;
      end if;
    end if;
  end if;

  if CLK 'EVENT and CLK = '0' then
```

```
        DATA_AC := DATA_AC(10 downto 0) & SDATA;  
    end if;  
  
    end if;  
    SCLK <= CLK;  
end Process Lee_ADC;  
  
end Behavioral;
```

## C2: Descripción VHDL del PmodDA2, con complemento a 2

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity DAC121S101 is
  Port ( CLK : in STD_LOGIC;
        INICIO : in STD_LOGIC;
        DATA : in STD_LOGIC_VECTOR (11 downto 0);
        SCLK : out STD_LOGIC:= '0';
        NSYNC : out STD_LOGIC:= '1';
        DIN : out STD_LOGIC:= '0');
end DAC121S101;

architecture Behavioral of DAC121S101 is
  SIGNAL PULSO: STD_LOGIC_VECTOR(4 DOWNTO 0):= B"00000";

begin

  Escribe_DAC:
    Process(CLK)
      VARIABLE DATA_AC: STD_LOGIC_VECTOR(15 DOWNTO 0);
      VARIABLE Habilita: Bit:= '0';
      Variable Captura: bit:= '1';

    begin

      if CLK 'EVENT and CLK = '1' then

        if INICIO = '1' then
          if Captura = '1' then
            DATA_AC := B"0000" & not DATA(11) & DATA(10 downto 0);
            Captura := '0';
            Habilita := '1';
          end if;
        end if;

        if Habilita = '1' then
          NSYNC <= '0';
          DIN <= DATA_AC(15);
          DATA_AC := DATA_AC(14 DOWNTO 0) & '0';
          if PULSO = 16 then
```

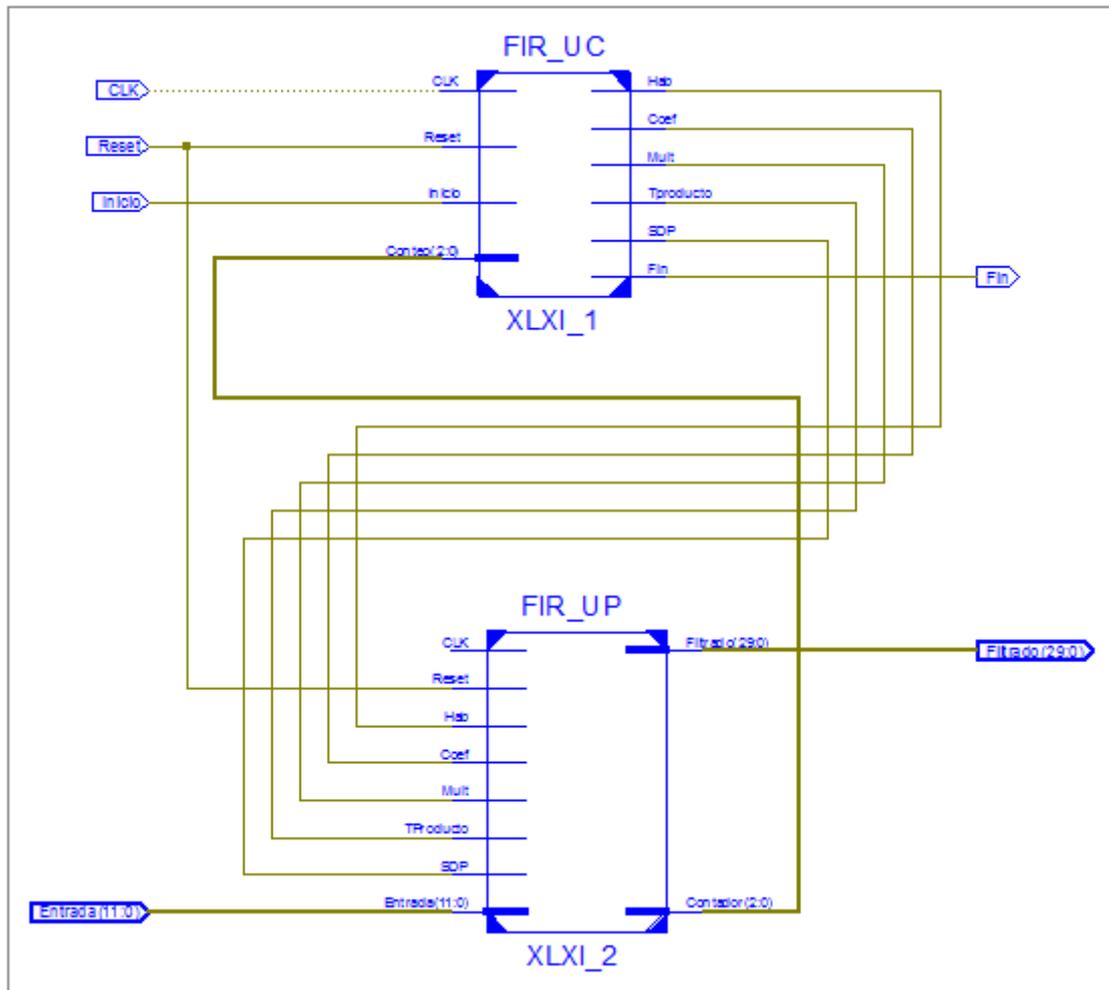
```
        NSYNC <= '1';
        PULSO <= B"00000";
        Habilita := '0';
        Captura := '1';
    else
        PULSO <= PULSO + 1;
    end if;
end if;

end if;
SCLK <= CLK;

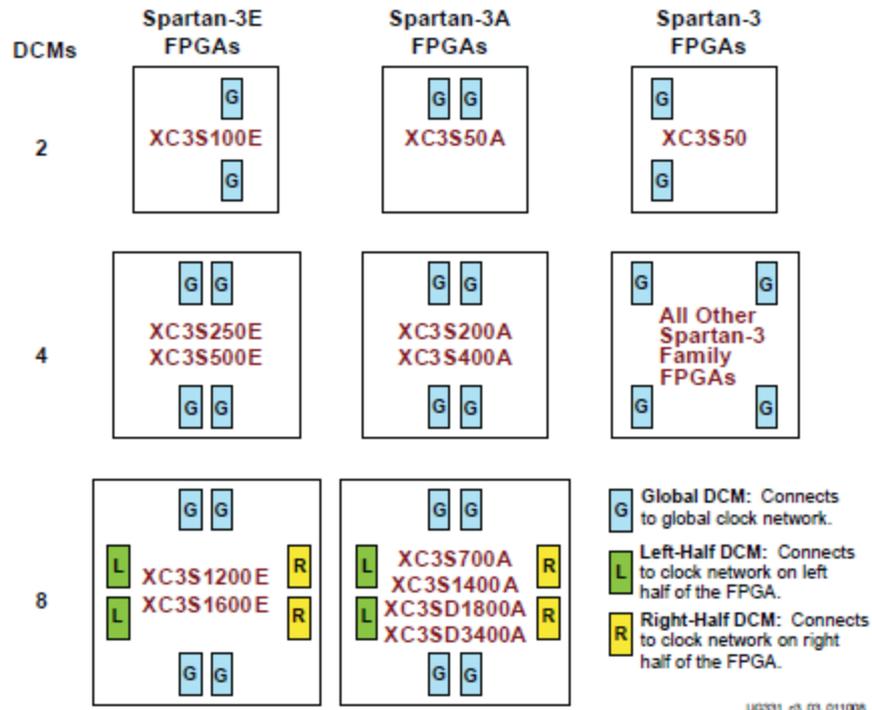
end Process Escribe_DAC;

end Behavioral;
```

## D1: Diagrama de bloques de Filtro FIR



## D2: Distribución de DCM en FPGA



### D3: Librería para el uso de multiplicadores internos del FPGA

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

Library XilinxCoreLib;
Use XilinxCoreLib.mult_gen_v10_0_comp.all;

entity Multiplicador is
  Port ( CLK : in STD_LOGIC;
        A : in STD_LOGIC_VECTOR (11 downto 0);
        B : in STD_LOGIC_VECTOR (11 downto 0);
        CE : in STD_LOGIC;
        P : out STD_LOGIC_VECTOR (23 downto 0));
end Multiplicador;

architecture Behavioral of Multiplicador is

begin
i_mult : mult_gen_v10_0
generic map(c_xdevicefamily => "Spartan3E",
           c_a_type => 0,           -- Con Signo, Signo (0), Sin Signo
(1)
           c_b_type => 1, -- Sin Signo, Signo (0), Sin Signo (1)
           c_a_width => 12,
           c_b_width => 12,
           c_out_high => 23,
           c_out_low => 0,
           c_mult_type=> 1,
           c_opt_goal => 0,
           c_has_ce => 1,
           c_pipe_stages => 4)
port map(a => A,
        b => B,
        ce => CE,
        clk => CLK,
        p => P);

end Behavioral;
```

## D4: Descripción VHDL para el uso de memorias

```
library Work;
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

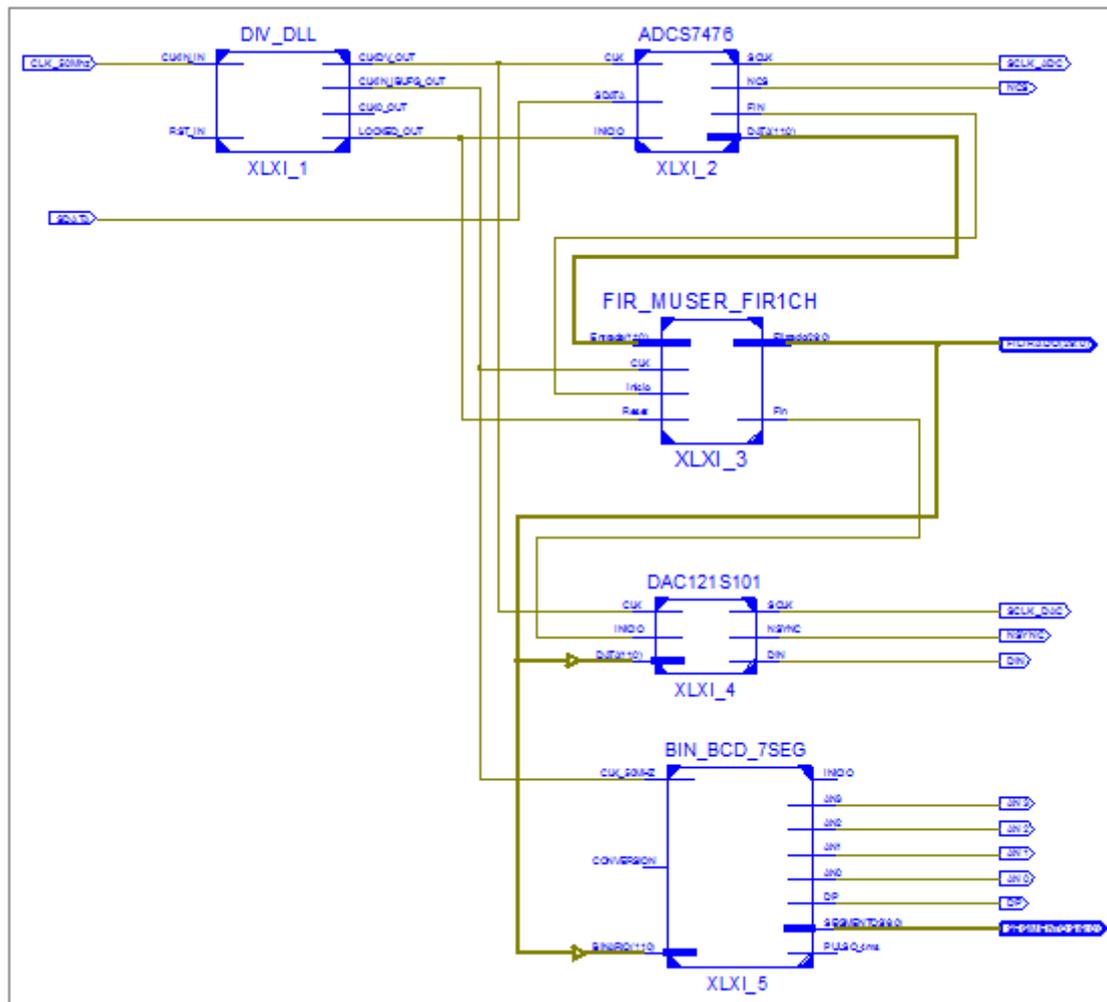
---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

Package Rom0 is

--Constantes del Filtro pasabanda 0.05 - 150 Hz a 32 bit QUANTIZADO A 2^16
--Frecuencia 1176470.588
--51 coeficientes con Ventana de Hamming
--Memoria Rom
subtype Memoria_Rom is STD_LOGIC_VECTOR(11 DOWNT0 0);
type Rom_tabla is array (0 to 39) of Memoria_Rom;
constant Constantes0 : Rom_tabla := (
X"0F8",      -- a0 = 0.0037841796875
X"10A",      -- a1 = 0.004058837890625
X"141",      -- a2 = 0.0048980712890625
X"19B",      -- a3 = 0.0062713623046875
X"216",      -- a4 = 0.008148193359375
X"2AE",      -- a5 = 0.010467529296875
X"360",      -- a6 = 0.01318359375
X"427",      -- a7 = 0.0162200927734375
X"4FD",      -- a8 = 0.0194854736328125
X"5DE",      -- a9 = 0.022918701171875
X"6C3",      --a10 = 0.0264129638671875
X"7A7",      --a11 = 0.0298919677734375
X"884",      --a12 = 0.03326416015625
X"953",      --a13 = 0.0364227294921875
X"A10",      --a14 = 0.039306640625
X"AB5",      --a15 = 0.0418243408203125
X"B3F",      --a16 = 0.0439300537109375
X"BAA",      --a17 = 0.045562744140625
X"BF3",      --a18 = 0.0466766357421875
X"C18",      --a19 = 0.0472412109375   Centro del filtro
X"C18",      --a19 = 0.0472412109375   Centro del filtro
X"BF3",      --a18 = 0.0466766357421875
X"BAA",      --a17 = 0.045562744140625
X"B3F",      --a16 = 0.0439300537109375
X"AB5",      --a15 = 0.0418243408203125
X"A10",      --a14 = 0.039306640625
X"953",      --a13 = 0.0364227294921875
```

```
X"884",      --a12 = 0.03326416015625
X"7A7",      --a11 = 0.0298919677734375
X"6C3",      --a10 = 0.0264129638671875
X"5DE",      -- a9 = 0.022918701171875
X"4FD",      -- a8 = 0.0194854736328125
X"427",      -- a7 = 0.0162200927734375
X"360",      -- a6 = 0.01318359375
X"2AE",      -- a5 = 0.010467529296875
X"216",      -- a4 = 0.008148193359375
X"19B",      -- a3 = 0.0062713623046875
X"141",      -- a2 = 0.0048980712890625
X"10A",      -- a1 = 0.004058837890625
X"0F8");    -- a0 = 0.0037841796875
end Rom0;
```

## D5: Diagrama de bloques del filtro

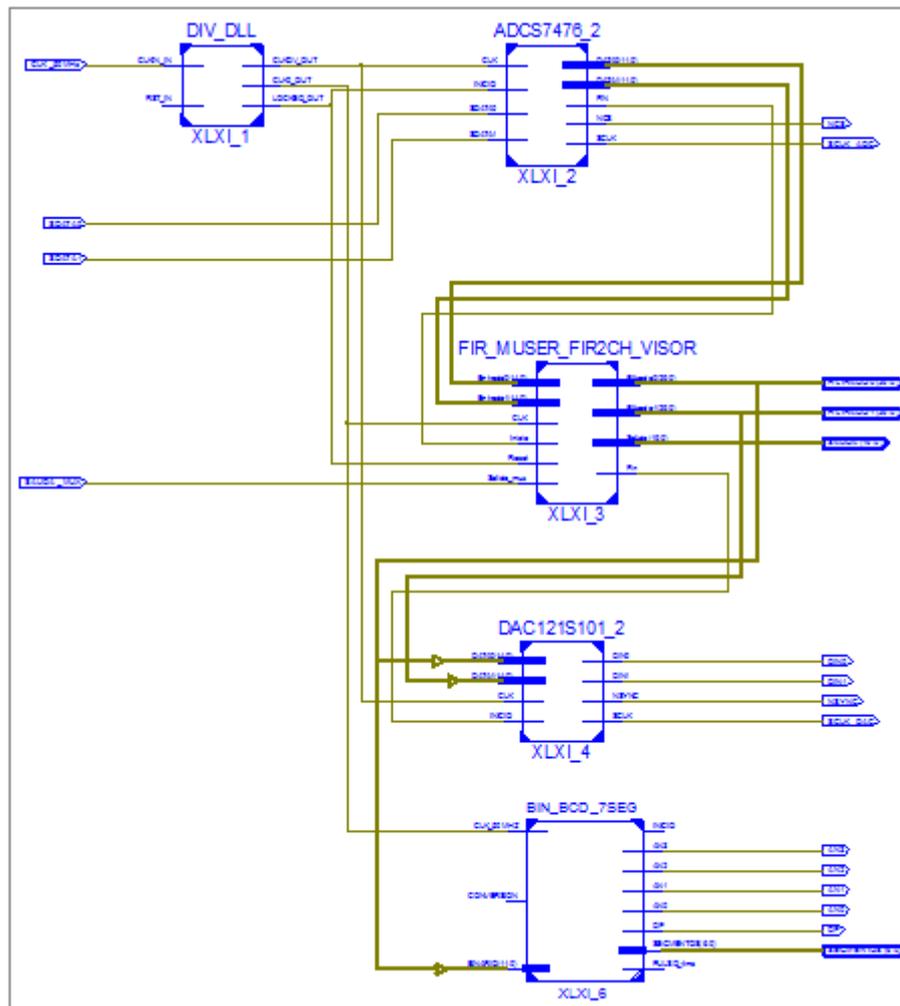


## D6: Diagrama de estados del filtro

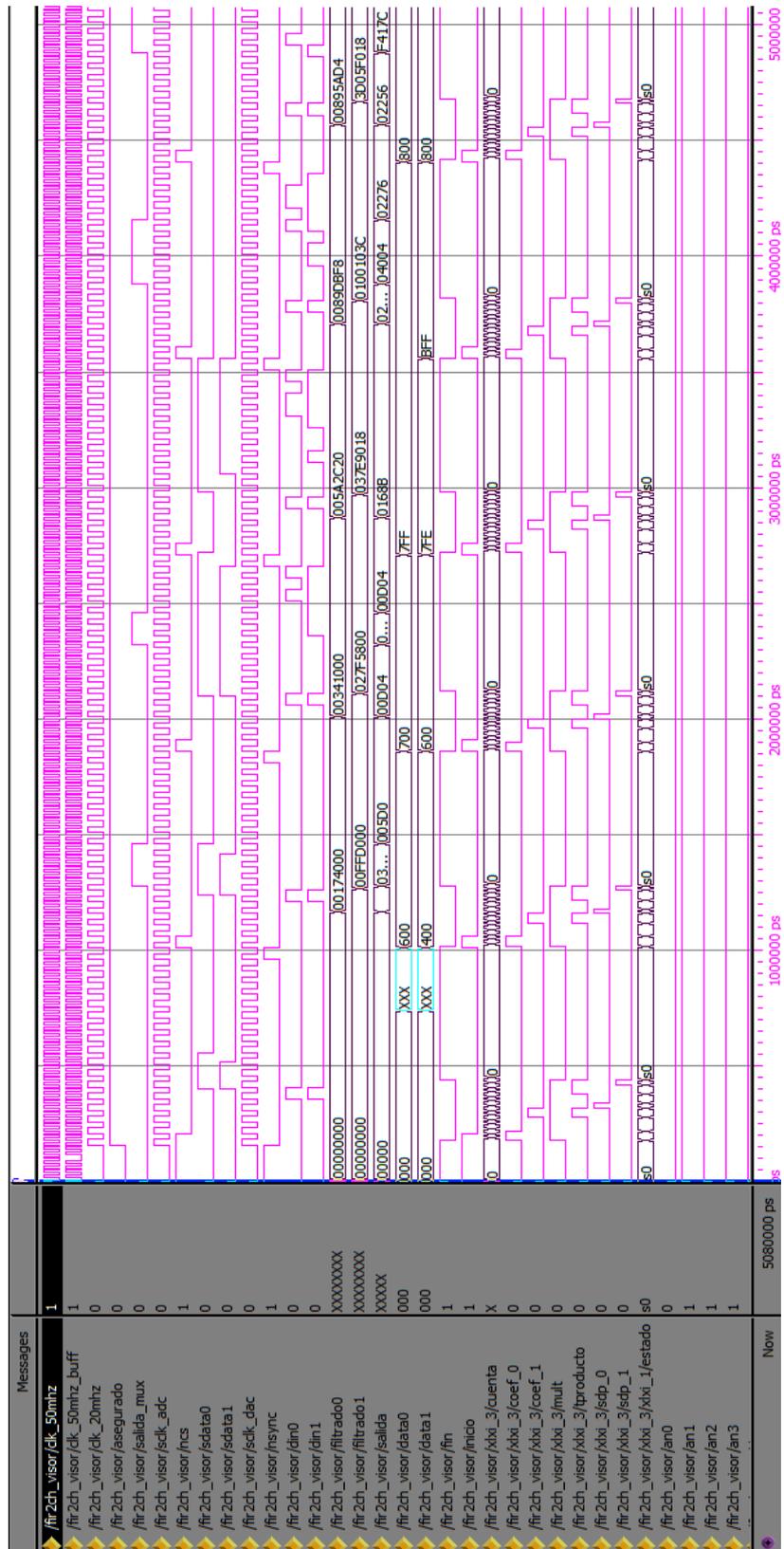


Procesamiento de los datos, cálculos matemáticos del filtrado mientras se adquiere un nuevo dato.

## D7: Diagrama de bloques del filtro de 2 canales



## D8: Diagrama de tiempos de filtro de 2 canales



Doble procesamiento de los datos, cálculos matemáticos del doble filtro mientras se adquiere dos nuevos datos a la vez.

## D9: descripción VHDL para el adcs7476\_r\_ir para la adquisición de señales rojas e Infrarojas

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ADCS7476_R_IR is
    Port ( CLK : in STD_LOGIC;
          SDATA : in STD_LOGIC;
          INICIO : in STD_LOGIC;
          SCLK : out STD_LOGIC;
          NCS : out STD_LOGIC:= '1';
          R : out STD_LOGIC:= '1';
          IR : out STD_LOGIC:= '0';
          FIN : out STD_LOGIC:= '1';
          DATA0: out STD_LOGIC_VECTOR(11 DOWNT0 0);
          DATA1: out STD_LOGIC_VECTOR(11 DOWNT0 0));
end ADCS7476_R_IR;

architecture Behavioral of ADCS7476_R_IR is
    SIGNAL PULSOS: STD_LOGIC_VECTOR(5 DOWNT0 0):= B"000000";

begin
    Process(CLK, INICIO)
        VARIABLE DATA_AC0: STD_LOGIC_VECTOR(11 DOWNT0 0):= X"000";
        VARIABLE DATA_AC1: STD_LOGIC_VECTOR(11 DOWNT0 0):= X"000";

    begin
        if INICIO = '1' then
            if rising_edge(CLK) then
                if PULSOS = 16 then
                    NCS <= '1';
                    DATA0 <= not DATA_AC0(11) & DATA_AC0(10
downto 0);

                    PULSOS <= PULSOS + 1;
                    R <= '0';
                    IR <= '1';
                elsif PULSOS = 33 then
                    FIN <= '1';
                    NCS <= '1';
```

```

        DATA1 <= not DATA_AC1(11) & DATA_AC1(10
downto 0);

        PULSOS <= b"000000";
        R <= '1';
        IR <= '0';
    else
        FIN <= '0';
        NCS <= '0';
        PULSOS <= PULSOS + 1;
    end if;
end if;

if falling_edge(CLK) then
    DATA_AC0 := DATA_AC0(10 downto 0) & SDATA;
    DATA_AC1 := DATA_AC1(10 downto 0) & SDATA;
end if;
end if;
SCLK <= CLK;
end process;

end Behavioral;

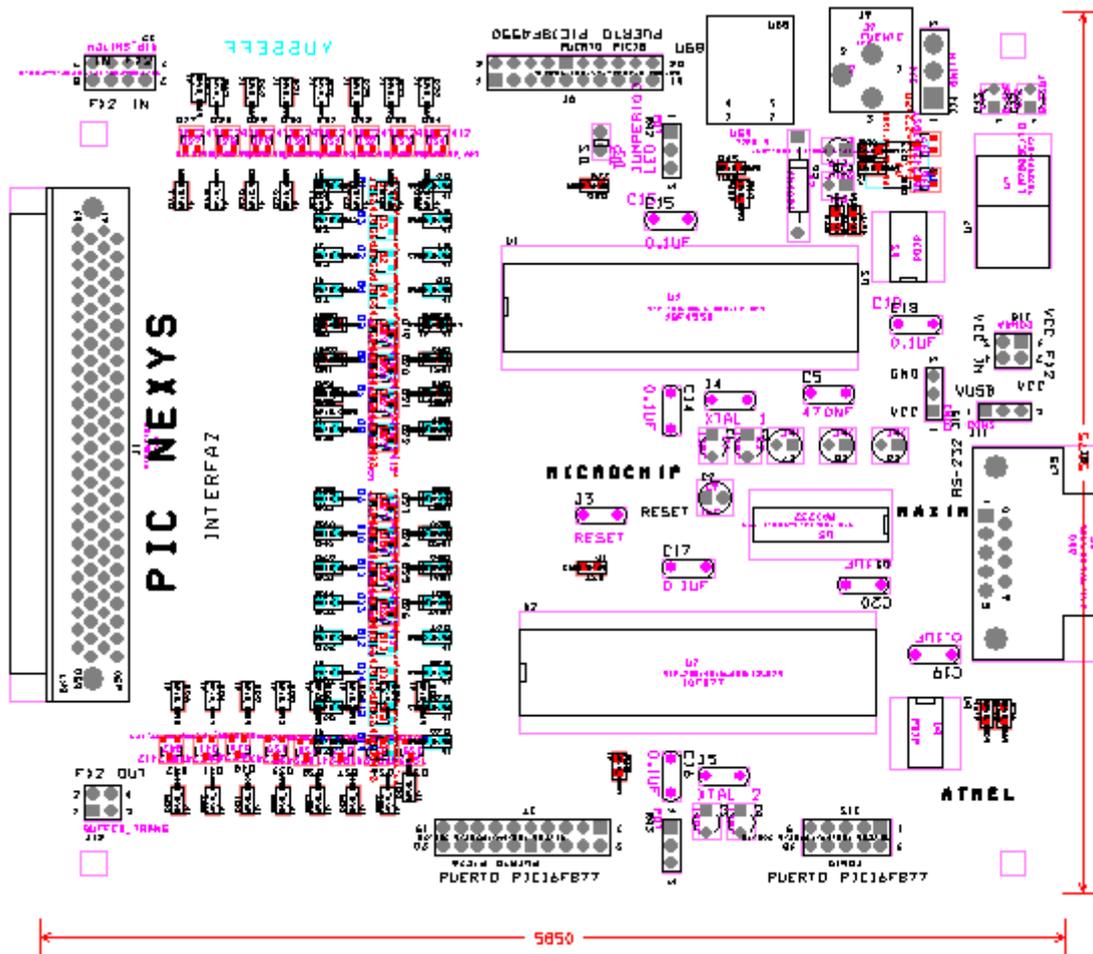
```

# D10: Diagrama de tiempos del oxímetro de pulso

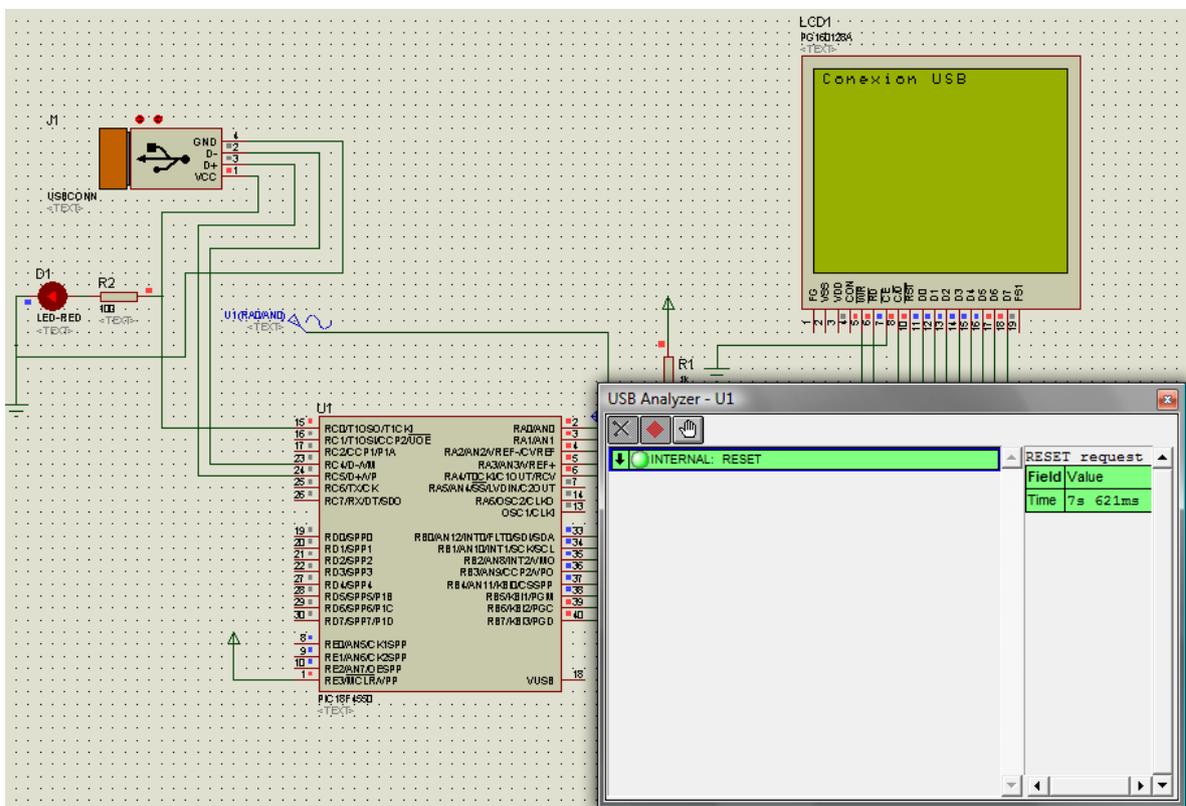
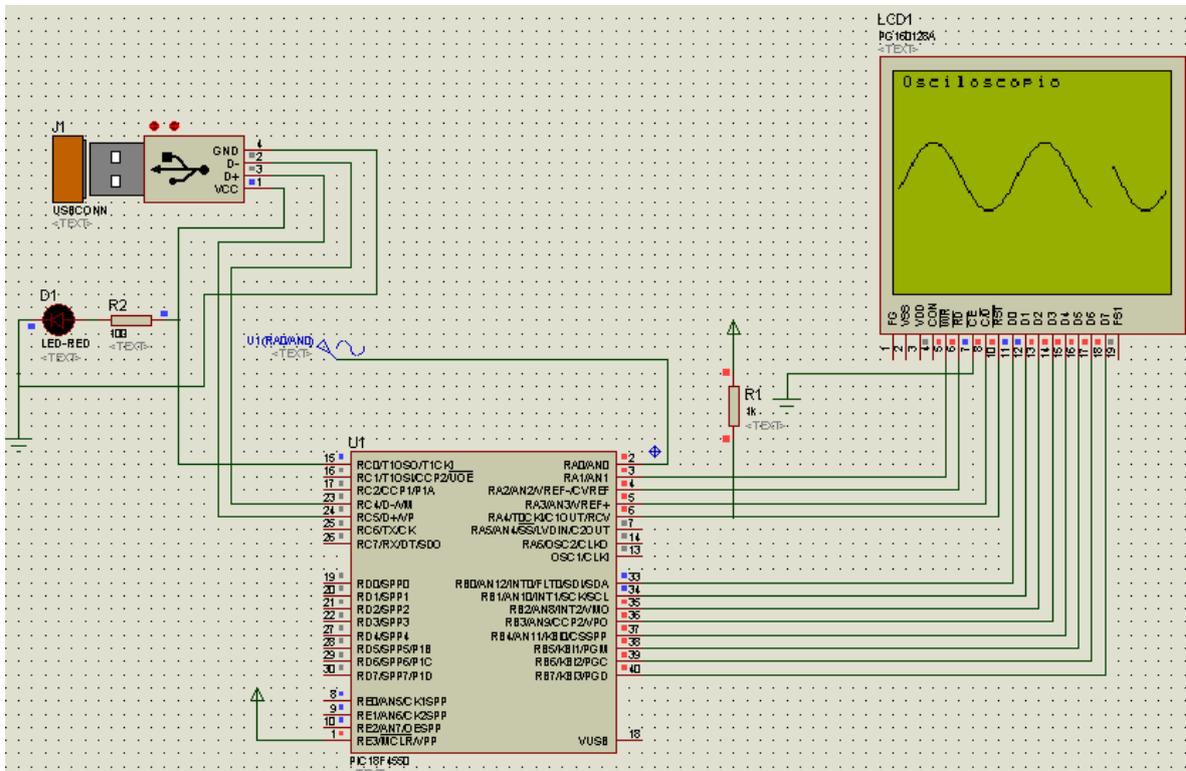


Doble procesamiento de los datos, cálculos matemáticos en el doble filtro mientras se adquiere un nuevo dato, se procesan los datos anteriormente adquiridos.

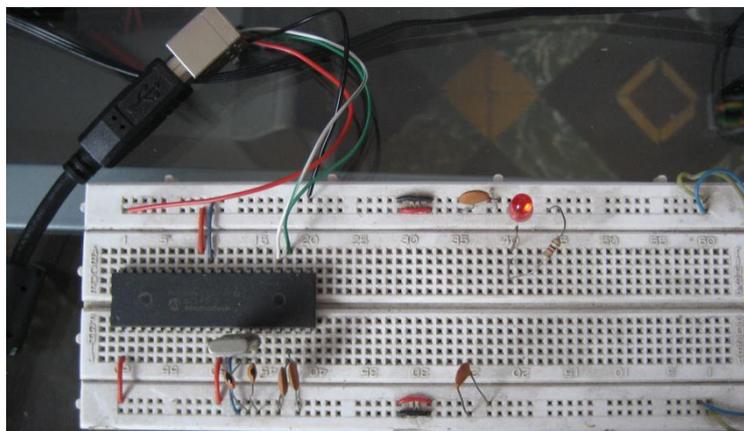
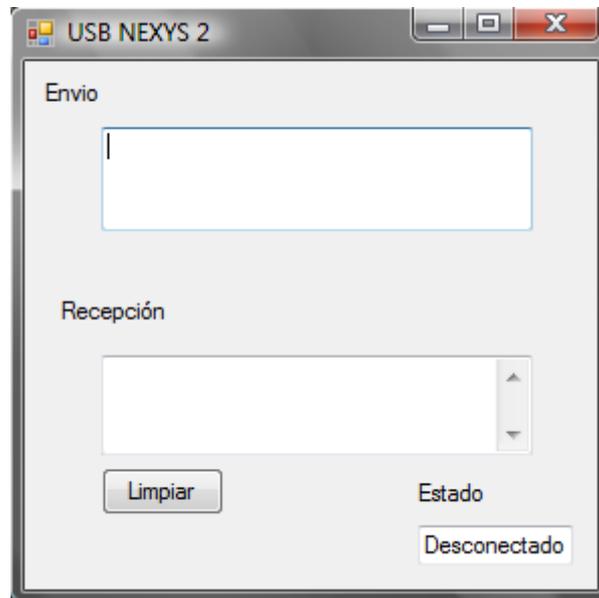
# E1: Tarjeta interface NEXYS – PIC



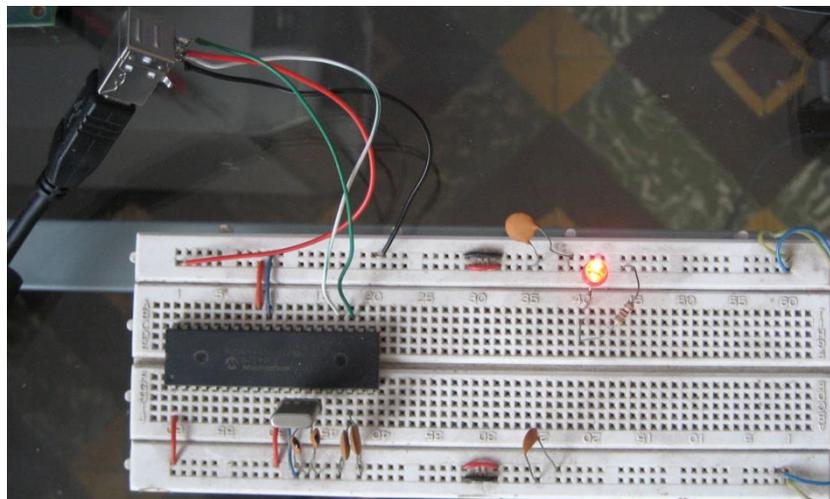
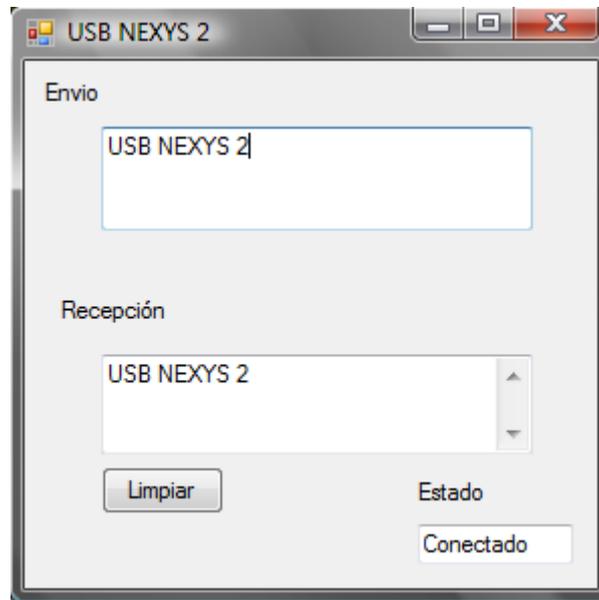
## E2: Microcontrolador con interface USB y tarjeta gráfica LCD



### E3: Software USB NEXYS 2 mostrando sin conexión AL PIC



## E4: Software USB NEXYS 2 mostrando con conexión al PIC y transfiriendo datos



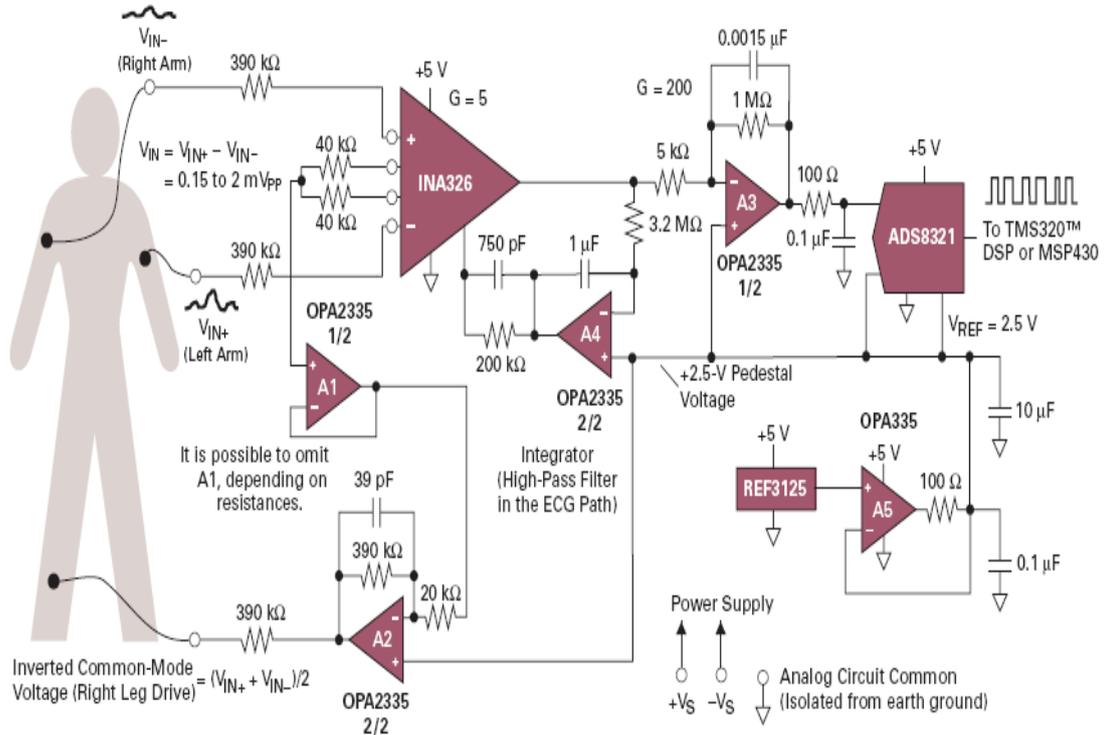
**F1: Equipo Electrocardiógrafo ar 1200 view**



## F2: Equipo Oxímetro de pulso Nonin 9600



### F3: Diseño de EKG por Texas Instruments.



Three ECG electrodes connected to patient using CMOS devices with 5-V single supply. This circuit will operate on a 3.3-V supply.